

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Minoru TAKAYA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: INDUCTANCE ELEMENT, LAMINATED ELECTRONIC COMPONENT, LAMINATED
ELECTRONIC COMPONENT MODULE AND METHOD FOR PRODUCING THESE ELEMENT,
COMPONENT AND MODULE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-025142	January 31, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913
C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月31日
Date of Application:

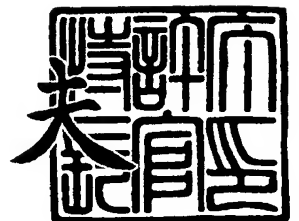
出願番号 特願2003-025142
Application Number:
[ST. 10/C]: [JP 2003-025142]

出願人 TDK株式会社
Applicant(s):

2003年12月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3099314

【書類名】 特許願
【整理番号】 P04710
【あて先】 特許庁長官 殿
【国際特許分類】 H01F 17/00
H01F 41/04
H05K 3/46

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【フリガナ】 タカ ミノル

【氏名】 高谷 稔

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【フリガナ】 エントウ トシカズ

【氏名】 遠藤 敏一

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100081569

【弁理士】

【氏名又は名称】 若田 勝一

【手数料の表示】

【予納台帳番号】 042907

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】	要約書 1
【プルーフの要否】	要

【書類名】 明細書

【発明の名称】 インダクタンス素子と積層電子部品と積層電子部品モジュールとこれらの製造方法

【特許請求の範囲】

【請求項 1】 絶縁体と導体とが交互に積層された積層体を素材として作製されるインダクタンス素子であって、

前記インダクタンス素子はヘリカルコイルからなり、コイルの 1 ターン分は 4 辺のうちの 2 辺が前記積層体に複数の貫通溝加工または有底溝加工とその底部除去を行うことにより二字形に形成され、

前記加工により積層方向に形成された溝は絶縁材料により充填され、

前記コイルの 1 ターン分の他の 2 辺は、前記加工により形成された二字形導体の端部どうしを接続してヘリカルコイルを構成するように、前記溝に充填された絶縁材料上に形成された橋架導体からなり、

素子の上面、底面、側面はそれぞれ絶縁層により覆われ、絶縁層を一部除去した部分に外部接続用の端子電極を有することを特徴とするインダクタンス素子。

【請求項 2】 請求項 1 に記載のインダクタンス素子において、

前記インダクタンス素子が複数内蔵されてアレイ型に構成されていることを特徴とするインダクタンス素子。

【請求項 3】 請求項 1 または 2 に記載のインダクタンス素子において、

前記インダクタンス素子がアンテナ機能を有していることを特徴とするインダクタンス素子。

【請求項 4】 請求項 1 から 3 までのいずれかに記載のインダクタンス素子において、

前記インダクタンス素子がトランスであることを特徴とするインダクタンス素子。

【請求項 5】 請求項 1 から 4 までのいずれかに記載のインダクタンス素子において、

前記絶縁体、絶縁材料および絶縁層が樹脂材料または樹脂に機能材料粉末を混合した複合材料からなることを特徴とするインダクタンス素子。

【請求項 6】請求項 1 から 5 までのいずれかに記載のインダクタンス素子において、

前記二字形導体が金属板または金属箔からなり、前記橋架導体がフォトリソ工法により形成されていることを特徴とするインダクタンス素子。

【請求項 7】絶縁体と導体とが交互に積層された積層体を素材として作製され、少なくともインダクタンス素子と容量素子とをそれぞれ単独素子としてあるいは互いに接続された複合素子としてそれぞれ 1 個以上内蔵する積層電子部品であって、

前記積層体の積層方向に対して垂直方向に隣接する素子間は、その間に加工された溝に充填された絶縁材料により隔離され、

前記インダクタンス素子はヘリカルコイルからなり、コイルの 1 ターン分は 4 辺のうちの 2 辺が前記積層体に複数の貫通溝加工または有底溝加工とその底部除去を行うことにより二字形に形成され、

前記加工により積層方向に形成された溝は絶縁材料により充填され、

前記コイルの 1 ターン分の他の 2 辺は、前記加工により形成された二字形導体の端部どうしを接続してヘリカルコイルを構成するように、前記溝に充填された絶縁材料上に形成された橋架導体からなり、

前記容量素子は、前記積層体に形成された溝とその溝に絶縁材料を充填することにより他の素子と画成されかつコイルの前記二字形導体とそれぞれ同層をなす複数の電極と、電極どうしを接続する導体よりなり、

電子部品の上面、底面はそれぞれ絶縁層により覆われ、外面に外部接続用の端子電極を有することを特徴とする積層電子部品。

【請求項 8】請求項 7 に記載の積層電子部品において、

前記絶縁体、絶縁材料、絶縁層が、樹脂材料または樹脂に機能材料粉末を混合した複合材料からなることを特徴とする積層電子部品。

【請求項 9】請求項 7 または 8 に記載の積層電子部品において、

前記二字形導体が金属板または金属箔からなり、前記橋架導体および接続導体がフォトリソ工法により形成されていることを特徴とする積層電子部品。

【請求項 10】樹脂材料または樹脂に機能材料粉末を混合した複合材料でな



る層上に導体層を形成してなる基板を積層し、素子を内蔵形成した積層電子部品モジュールであって、

前記積層電子部品モジュールは、インダクタンス素子を含む基板を少なくとも1層有し、

前記インダクタンス素子を含む基板は、絶縁体と導体とが交互に積層された積層体を素材として作製され、

前記インダクタンス素子はヘリカルコイルからなり、コイルの1ターン分は4辺のうちの2辺が前記積層体に溝加工を行うことにより二字形に形成され、

前記加工により積層方向に形成された溝は絶縁材料により充填され、

前記コイルの1ターン分の他の2辺は、前記加工により形成された二字形導体の端部どうしを接続してヘリカルコイルを構成するように、前記溝に充填された絶縁材料上に形成された橋架導体からなることを特徴とする積層電子部品モジュール。

【請求項 11】樹脂材料または樹脂に機能材料粉末を混合した複合材料でなる層上に導体層を形成してなる基板を積層することにより、素子を内蔵形成した積層電子部品モジュールであって、

前記積層電子部品モジュールは、少なくともインダクタンス素子および容量素子を含む基板を少なくとも1層有し、

前記インダクタンス素子および容量素子を含む基板は、絶縁体と導体とが交互に積層された積層体を素材として作製され、前記積層体の積層方向に対して垂直方向に隣接する素子間は、その間に加工された溝に充填された絶縁材料により隔離され、

前記インダクタンス素子はヘリカルコイルからなり、コイルの1ターン分は4辺のうちの2辺が前記積層体に溝加工を行うことにより二字形に形成され、

前記加工により積層方向に形成された溝は絶縁材料により充填され、

前記コイルの1ターン分の他の2辺は、前記加工により形成された二字形導体の端部どうしを接続してヘリカルコイルを構成するように、前記溝に充填された絶縁材料上に形成された橋架導体からなり、

前記容量素子は、前記積層体に溝を加工することにより、前記コイルを構成す

る二字形導体と同層をなすように形成された電極と、電極間を接続する導体とからなることを特徴とする積層電子部品モジュール。

【請求項 1 2】請求項 1 0 または 1 1 に記載の積層電子部品モジュールにおいて、

前記インダクタンス素子は、その巻芯の方向が、前記積層電子部品モジュールの積層方向に対して直角をなす方向に形成されていることを特徴とする積層電子部品モジュール。

【請求項 1 3】請求項 1 から 6 までのいずれかに記載のインダクタンス素子を得るため、導体層と絶縁層とを交互に積層してなる積層体よりインダクタンス素子を製造する方法であって、

前記積層体の積層方向に複数個のインダクタンス素子のターン数に相当する導体層数を有し、かつインダクタンス素子の 1 個分に相当する厚みを有する四角形をなす板状の素材を準備し、

該素材の表面に、積層方向に、互いに平行をなすように、ヘリカルコイルの二字形導体の対向辺を形成するための所定幅の複数本の第一の有底溝を加工すると共に、前記溝と平行に、ヘリカルコイルの側面部形成用の第二の有底溝を加工し、

前記第一、第二の有底溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表面を研磨により整面し、

該整面された素材の裏面を研磨して裏面側の導体を除去して前記二字形導体を形成し、

前記素材の表裏面に二字形導体の端部間を接続してヘリカルコイルを構成する橋架導体をフォトリソ工法により形成すると同時に、表裏面のいずれかに端子電極の下地電極をフォトリソ工法により形成し、

該橋架導体を施した素材の表裏面を絶縁材料により覆うと共に、該絶縁材料の一部を除去して前記下地電極を露出させて端子電極を形成し、

前記素材を縦横に切断することにより、インダクタンス素子を得ることを特徴とするインダクタンス素子の製造方法。

【請求項 1 4】請求項 1 から 6 までのいずれかに記載のインダクタンス素子

を得るため、導体層と絶縁層とを交互に積層してなる積層体よりインダクタンス素子を製造する方法であって、

前記積層体の積層方向に複数個のインダクタンス素子のターン数に相当する導体層数を有し、かつインダクタンス素子の 1 個分に相当する厚みを有する四角形をなす板状の素材を準備し、

該素材の表面に、積層方向に、互いに平行をなすように、コイル内周部を形成するための所定幅の複数本の第一の有底溝を加工し、

該第一の有底溝に絶縁材料を充填し、

前記絶縁材料を充填した面を研磨して整面し、

前記第一の有底溝と平行に、前記素材の表面にコイルの側面部形成用の第二の有底溝を加工し、

前記第二の有底溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表面を研磨により整面し、

該整面された素材の裏面を研磨して裏面側の導体を除去して前記二字形導体を形成し、

前記素材の表裏面に二字形導体の端部間を接続してヘリカルコイルを構成する橋架導体をフォトリソ工法により形成すると同時に、表裏面のいずれかに端子電極の下地電極をフォトリソ工法により形成し、

該橋架導体を施した素材の表裏面を絶縁材料により覆うと共に、該絶縁材料の一部を除去して前記下地電極を露出させて端子電極を形成し、

前記素材を縦横に切断することにより、インダクタンス素子を得ることを特徴とするインダクタンス素子の製造方法。

【請求項 1 5】請求項 1 から 6 までのいずれかに記載のインダクタンス素子を得るため、導体層と絶縁層とを交互に積層してなる積層体よりインダクタンス素子を製造する方法であって、

前記積層体の積層方向に複数個のインダクタンス素子のターン数に相当する導体層数を有し、かつインダクタンス素子の 1 個分に相当する厚みを有する四角形をなす板状の素材を準備し、

該素材の表面に、積層方向に、互いに平行をなすように、ヘリカルコイルの二

字形導体の対向辺を形成するための所定幅の複数本の第一の貫通溝を加工すると共に、前記第一の貫通溝と平行に、ヘリカルコイルの側面部形成用の第二の貫通溝を加工し、

前記第一、第二の貫通溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表裏面を研磨により整面し、

前記素材の表裏面に二字形導体の端部間を接続してヘリカルコイルを構成する橋架導体をフォトリソ工法により形成すると同時に、表裏面のいずれかに端子電極の下地電極をフォトリソ工法により形成し、

該橋架導体を施した素材の表裏面を絶縁材料により覆うと共に、該絶縁材料の一部を除去して前記下地電極を露出させて端子電極を形成し、

前記素材を縦横に切断することにより、インダクタンス素子を得ることを特徴とするインダクタンス素子の製造方法。

【請求項 16】 請求項 7 から 9 までのいずれかに記載の積層電子部品を得るため、導体層と絶縁層とを交互に積層してなる積層体よりインダクタンス素子および容量素子を内蔵した積層電子部品を製造する方法であって、

前記積層体の積層方向に複数個のインダクタンス素子のターン数に相当する導体層数を有し、かつ複数個の容量素子分の電極数に相当する導体層数を有すると共に、インダクタンス素子および容量素子の 1 個分に相当する厚みを有する四角形をなす板状の素材を準備し、

該素材の表面に、積層方向に、互いに平行をなすように、ヘリカルコイルの二字形導体の対向辺を形成するための所定幅の複数本の第一の有底溝を加工すると共に、前記第一の有底溝と平行に、他の素子との隔離用の第二の有底溝を加工し、

前記第一、第二の有底溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表面を研磨により整面し、

該整面された素材の裏面を研磨して裏面側の導体を除去してインダクタンス素子用の二字形導体を形成し、

前記素材の表裏面に二字形導体の端部間を接続してヘリカルコイルを構成する橋架導体をフォトリソ工法により形成すると同時に、表裏面のいずれかに端子電

極の下地電極および素子間接続導体をフォトリソ工法により形成し、

前記素材の表裏面を絶縁材料により覆うと共に、該絶縁材料の一部を除去して前記下地電極を露出させて端子電極を形成し、

前記素材を縦横に切断することにより、インダクタンス素子と容量素子とを内蔵する積層電子部品を得ることを特徴とする積層電子部品の製造方法。

【請求項 1 7】請求項 7 から 9 までのいずれかに記載の積層電子部品を得るため、導体層と絶縁層とを交互に積層してなる積層体よりインダクタンス素子および容量素子を内蔵した積層電子部品を製造する方法であって、

前記積層体の積層方向に複数個のインダクタンス素子のターン数に相当する導体層数を有し、かつ複数個の容量素子分の電極数に相当する導体層数を有すると共に、インダクタンス素子および容量素子の 1 個分に相当する厚みを有する四角形をなす板状の素材を準備し、

該素材の表面に、積層方向に、互いに平行をなすように、ヘリカルコイルの二字形導体の対向辺を形成するための所定幅の複数本の第一の有底溝を加工し、

前記第一の有底溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表面を研磨により整面し、

前記素材の表面に前記第一の有底溝と平行に、他の素子との隔離用の第二の有底溝を加工し、

前記第二の有底溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表面を研磨により整面し、

該整面された素材の裏面を研磨して裏面側の導体を除去してインダクタンス素子用の二字形導体を形成し、

前記素材の表裏面に二字形導体の端部間を接続してヘリカルコイルを構成する橋架導体をフォトリソ工法により形成すると同時に、表裏面のいずれかに端子電極の下地電極および素子間接続導体をフォトリソ工法により形成し、

前記素材の表裏面を絶縁材料により覆うと共に、該絶縁材料の一部を除去して前記下地電極を露出させて端子電極を形成し、

前記素材を縦横に切断することにより、インダクタンス素子と容量素子とを内蔵する積層電子部品を得ることを特徴とする積層電子部品の製造方法。

【請求項 18】請求項 7 から 9 までのいずれかに記載の積層電子部品を得るため、導体層と絶縁層とを交互に積層してなる積層体よりインダクタンス素子および容量素子を内蔵した積層電子部品を製造する方法であって、

前記積層体の積層方向に複数個のインダクタンス素子のターン数に相当する導体層数を有し、かつ複数個の容量素子分の電極数に相当する導体層数を有すると共に、インダクタンス素子および容量素子の 1 個分に相当する厚みを有する四角形をなす板状の素材を準備し、

該素材の表面に、積層方向に、互いに平行をなすように、ヘリカルコイルの二字形導体の対向辺を形成するための所定幅の複数本の第一の貫通溝と、該第一の貫通溝と平行をなすように素子間を隔離する第二の貫通溝を加工し、

前記第一、第二の有底溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表裏面を研磨により整面し、

前記素材の表裏面に二字形導体の端部間を接続してヘリカルコイルを構成する橋架導体をフォトリソ工法により形成すると同時に、表裏面のいずれかに端子電極の下地電極および素子間接続導体をフォトリソ工法により形成し、

前記素材の表裏面を絶縁材料により覆うと共に、該絶縁材料の一部を除去して前記下地電極を露出させて端子電極を形成し、

前記素材を縦横に切断することにより、インダクタンス素子と容量素子とを内蔵する積層電子部品を得ることを特徴とする積層電子部品の製造方法。

【請求項 19】請求項 10 から 12 までのいずれかに記載の積層電子部品モジュールを得るため、樹脂材料または樹脂に機能材料粉末を混合した複合材料でなる層上に導体層を形成した積層電子部品モジュールの製造方法であって、

インダクタンス素子と容量素子のうち、少なくともインダクタンス素子を有し、インダクタンス素子は二字形導体の端部どうしをフォトリソ工法により形成された橋架導体により接続してヘリカルコイルを構成し、かつ表裏面の少なくともいずれかに外部接続用導体を形成した積層電子部品をコア基板とし、

該コア基板の表裏面の少なくとも一方にプリプレグおよび導体箔を重ね、本硬化後、エッチングにより導体パターン形成、および層間接続を行う工程を繰り返すことにより、積層電子部品モジュールを得ることを特徴とする積層電子部品モ

ジュールの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明が属する技術分野】

本発明は、インダクタンス素子と、少なくともインダクタンス素子および容量素子とを内蔵した積層電子部品と、インダクタンス素子と容量素子のうち少なくともインダクタンス素子を内蔵した積層電子部品モジュールとこれらの製造方法に関する。

【 0 0 0 2 】

【従来の技術】

インダクタンス素子と容量素子とを内蔵した積層電子部品として、例えば特許文献 1 には印刷工法による積層インダクタおよび積層コンデンサを重ねて一体化したセラミック電子部品が開示されている。

【 0 0 0 3 】

また、例えば特許文献 2 には、シート積層工法により積層インダクタおよび積層コンデンサを重ねて一体化したセラミック電子部品が開示されている。

【 0 0 0 4 】

また、例えば特許文献 3 には、半導体チップ上に多層スパイラルコイルを構成した電子部品が開示されている。

【 0 0 0 5 】

また、例えば特許文献 4 には、巻線型のコイル素子を 2 個並べて、樹脂により封止したトランスが開示されている。

【 0 0 0 6 】

【特許文献 1】

実用新案登録第 2 6 0 7 4 3 3 号公報（第 2 頁、図 1）

【特許文献 2】

特開平 1 1 - 1 0 3 2 2 9 号公報（第 4 - 5 頁、図 2）

【特許文献 3】

特開 2 0 0 2 - 9 2 5 6 6 公報（第 6 頁、図 1）

【特許文献4】

特開平11-204352号公報（第3頁、図2）。

【0007】**【発明が解決しようとする課題】**

特許文献1や2に開示されたセラミック積層電子部品は、内部導体が印刷法やシート積層工法により多層積層されるため、印刷ばらつきと積層ばらつきが発生する上、素子を焼成するので、焼成時の収縮や収縮ばらつき等によりインダクタンス値がばらつき、狭公差の積層電子部品を得ることが難しい。

【0008】

また、従来のセラミック積層電子部品の構造をそのまま採用して、例えば樹脂材料あるいは樹脂に機能材料粉末を混合した複合材料でなる基板を積層した積層電子部品モジュールにそのセラミック積層電子部品を内蔵あるいは搭載する場合、セラミック積層電子部品の厚みはモジュールの厚みにより制限され、ターン数や電極層数は制限を受けるために、十分大きなインダクタンスや容量を得ることが困難であるという問題点がある。

【0009】

また、モジュールに内蔵されるインダクタは、いずれも積層方向に巻き上げられたインダクタであり、これらのタイプのインダクタは、積層体内に設けられたグラウンド層やコンデンサ電極による影響を大きく受けるため、高いインダクタンス値や高いQ値を得ることが比較的難しい。

【0010】

また、前記特許文献3に記載のように、スパイラルコイルを用いた従来の積層電子部品は、その構造上、高いQ特性を得ることが難しい。また、コイル形状が大きくなってしまったため、複数の素子を内蔵した場合、素子どうしが近づくため、結合によって所望の特性を得ることができなくなる。また、ヘリカルコイルと同様のQ値、インダクタンス値を得ようとする、形状が大きくなってしまったという問題点がある。

【0011】

また、前記特許文献4に記載のように、巻線型のものは、ボビン1個ずつワイ

ヤーを巻線するで、小型化や生産性に難があり、低コストで積層電子部品を得ることが難しい。

【 0 0 1 2 】

本発明は、前記従来の積層電子部品の問題点に鑑み、量産が容易で、導体パターンのずれが小さく、狭公差の特性値が得られるインダクタンス素子と積層電子部品と積層電子部品モジュールとこれらの製造方法を提供することを目的とする。

【 0 0 1 3 】

また、本発明は、従来より製造工程が簡略化でき、低コスト化が可能な積層電子部品とその製造方法を提供することを目的とする。

【 0 0 1 4 】

また、本発明は、モジュールに積層電子部品を埋設する場合、上下のグランド層や配線層あるいはコンデンサ電極の影響を受け難く、高いインダクタンス、高いQ特性が得られる積層電子部品モジュールとその製造方法を提供することを目的とする。

【 0 0 1 5 】

【課題を解決するための手段】 (1) 本発明のインダクタンス素子は、絶縁体と導体とが交互に積層された積層体を素材として作製されるインダクタンス素子であって、

前記インダクタンス素子はヘリカルコイルからなり、コイルの1ターン分は4辺のうちの2辺が前記積層体に複数の貫通溝加工または有底溝加工とその底部除去を行うことにより二字形に形成され、

前記加工により積層方向に形成された溝は絶縁材料により充填され、

前記コイルの1ターン分の他の2辺は、前記加工により形成された二字形導体の端部どうしを接続してヘリカルコイルを構成するように、前記溝に充填された絶縁材料上に形成された橋架導体からなり、

素子の上面、底面、側面はそれぞれ絶縁層により覆われ、外面に外部接続用の端子電極を有することを特徴とする。

【 0 0 1 6 】

(2) また、本発明のインダクタンス素子は、前記インダクタンス素子が複数内蔵されてアレイ型に構成されていることを特徴とする。

【0 0 1 7】

(3) また、本発明のインダクタンス素子は、前記インダクタンス素子がアンテナ機能を有していることを特徴とする。

【0 0 1 8】

(4) また、本発明のインダクタンス素子は、前記インダクタンス素子がトランスであることを特徴とする。

【0 0 1 9】

(5) また、本発明のインダクタンス素子は、前記絶縁体、絶縁材料および絶縁層が樹脂材料または樹脂に機能材料粉末を混合した複合材料からなることを特徴とする。

【0 0 2 0】

(6) 本発明のインダクタンス素子は、前記二字形導体が金属板または金属箔からなり、前記橋架導体がフォトリソ工法により形成されていることを特徴とする。

【0 0 2 1】

(7) 本発明の積層電子部品は、絶縁体と導体とが交互に積層された積層体を素材として作製され、少なくともインダクタンス素子と容量素子とをそれぞれ単独素子としてあるいは互いに接続された複合素子としてそれぞれ 1 個以上内蔵する積層電子部品であって、

前記積層体の積層方向に対して垂直方向に隣接する素子間は、その間に加工された溝に充填された絶縁材料により隔離され、

前記インダクタンス素子はヘリカルコイルからなり、コイルの 1 ターン分は 4 辺のうちの 2 辺が前記積層体に複数の貫通溝加工または有底溝加工とその底部除去を行うことにより二字形に形成され、

前記加工により積層方向に形成された溝は絶縁材料により充填され、

前記コイルの 1 ターン分の他の 2 辺は、前記加工により形成された二字形導体の端部どうしを接続してヘリカルコイルを構成するように、前記溝に充填された

絶縁材料上に形成された橋架導体からなり、

前記容量素子は、前記積層体に形成された溝とその溝に絶縁材料を充填することにより他の素子と画成されかつコイルの前記二字形導体とそれぞれ同層をなす複数の電極と、電極どうしを接続する導体よりなり、

電子部品の上面、底面はそれぞれ絶縁層により覆われ、外面に外部接続用の端子電極を有することを特徴とする。

【 0 0 2 2 】

(8) また、本発明の積層電子部品は、前記絶縁体、絶縁材料、絶縁層が、樹脂材料または樹脂に機能材料粉末を混合した複合材料からなることを特徴とする。

【 0 0 2 3 】

(9) また、本発明の積層電子部品は、前記二字形導体が金属板または金属箔からなり、前記橋架導体および接続導体がフォトリソ工法により形成されていることを特徴とする。

【 0 0 2 4 】

(1 0) 本発明の積層電子部品モジュールは、樹脂材料または樹脂に機能材料粉末を混合した複合材料でなる層上に導体層を形成してなる基板を積層し、素子を内蔵形成した積層電子部品モジュールであって、

前記積層電子部品モジュールは、インダクタンス素子を含む基板を少なくとも 1 層有し、

前記インダクタンス素子を含む基板は、絶縁体と導体とが交互に積層された積層体を素材として作製され、

前記インダクタンス素子はヘリカルコイルからなり、コイルの 1 ターン分は 4 辺のうちの 2 辺が前記積層体に複数の貫通溝加工または有底溝加工とその底部除去を行うことにより二字形に形成され、

前記加工により積層方向に形成された溝は絶縁材料により充填され、

前記コイルの 1 ターン分の他の 2 辺は、前記加工により形成された二字形導体の端部どうしを接続してヘリカルコイルを構成するように、前記溝に充填された絶縁材料上に形成された橋架導体からなることを特徴とする。

【 0 0 2 5 】

(1 1) また、本発明の積層電子部品モジュールは、樹脂材料または樹脂に機能材料粉末を混合した複合材料でなる層上に導体層を形成してなる基板を積層することにより、素子を内蔵形成した積層電子部品モジュールであって、

前記積層電子部品モジュールは、少なくともインダクタンス素子および容量素子を含む基板を少なくとも 1 層有し、

前記インダクタンス素子および容量素子を含む基板は、絶縁体と導体とが交互に積層された積層体を素材として作製され、前記積層体の積層方向に対して垂直方向に隣接する素子間は、その間に加工された溝に充填された絶縁材料により隔離され、

前記インダクタンス素子はヘリカルコイルからなり、コイルの 1 ターン分は 4 辺のうちの 2 辺が前記積層体に複数の貫通溝加工または有底溝加工とその底部除去を行うことにより二字形に形成され、

前記加工により積層方向に形成された溝は絶縁材料により充填され、

前記コイルの 1 ターン分の他の 2 辺は、前記加工により形成された二字形導体の端部どうしを接続してヘリカルコイルを構成するように、前記溝に充填された絶縁材料上に形成された橋架導体からなり、

前記容量素子は、前記積層体に溝を加工することにより、前記コイルを構成する二字形導体と同層をなすように形成された電極と、電極間を接続する導体とからなることを特徴とする。

【 0 0 2 6 】

(1 2) また、本発明の積層電子部品モジュールは、前記インダクタンス素子は、その巻芯の方向が、前記積層電子部品モジュールの積層方向に対して直角をなす方向に形成されていることを特徴とする。

【 0 0 2 7 】

(1 3) 本発明のインダクタンス素子の製造方法は、前記 (1) から (6) までのいずれかに記載のインダクタンス素子を得るため、導体層と絶縁層とを交互に積層してなる積層体よりインダクタンス素子を製造する方法であって、

前記積層体の積層方向に複数個のインダクタンス素子のターン数に相当する導

体層数を有し、かつインダクタンス素子の 1 個分に相当する厚みを有する四角形をなす板状の素材を準備し、

該素材の表面に、積層方向に、互いに平行をなすように、ヘリカルコイルの二字形導体の対向辺を形成するための所定幅の複数本の第一の有底溝を加工すると共に、前記溝と平行に、ヘリカルコイルの側面部形成用の第二の有底溝を加工し、

前記第一、第二の有底溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表面を研磨により整面し、

該整面された素材の裏面を研磨して裏面側の導体を除去して前記二字形導体を形成し、

前記素材の表裏面に二字形導体の端部間を接続してヘリカルコイルを構成する橋架導体をフォトリソ工法により形成すると同時に、表裏面のいずれかに端子電極の下地電極をフォトリソ工法により形成し、

該橋架導体を施した素材の表裏面を絶縁材料により覆うと共に、該絶縁材料の一部を除去して前記下地電極を露出させて端子電極を形成し、

前記素材を縦横に切断することにより、インダクタンス素子を得ることを特徴とする。

【 0 0 2 8 】

(1 4) また、本発明のインダクタンス素子の製造方法は、前記 (1) から (6) までのいずれかに記載のインダクタンス素子を得るため、導体層と絶縁層とを交互に積層してなる積層体よりインダクタンス素子を製造する方法であって、

前記積層体の積層方向に複数個のインダクタンス素子のターン数に相当する導体層数を有し、かつインダクタンス素子の 1 個分に相当する厚みを有する四角形をなす板状の素材を準備し、

該素材の表面に、積層方向に、互いに平行をなすように、ヘリカルコイルの二字形導体の対向辺を形成するための所定幅の複数本の第一の有底溝を加工し、

該第一の有底溝に絶縁材料を充填し、

前記絶縁材料を充填した面を研磨して整面し、

前記第一の有底溝と平行に、前記素材の表面にヘリカルコイルの側面部形成用

の第二の有底溝を加工し、

前記第二の有底溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表面を研磨により整面し、

該整面された素材の裏面を研磨して裏面側の導体を除去して前記二字形導体を形成し、

前記素材の表裏面に二字形導体の端部間を接続してヘリカルコイルを構成する橋架導体をフォトリソ工法により形成すると同時に、表裏面のいずれかに端子電極の下地電極をフォトリソ工法により形成し、

該橋架導体を施した素材の表裏面を絶縁材料により覆うと共に、該絶縁材料の一部を除去して前記下地電極を露出させて端子電極を形成し、

前記素材を縦横に切断することにより、インダクタンス素子を得ることを特徴とする。

【 0 0 2 9 】

(1 5) また、本発明のインダクタンス素子の製造方法は、前記 (1) から (6) までのいずれかに記載のインダクタンス素子を得るため、導体層と絶縁層とを交互に積層してなる積層体よりインダクタンス素子を製造する方法であって、

前記積層体の積層方向に複数個のインダクタンス素子のターン数に相当する導体層数を有し、かつインダクタンス素子の 1 個分に相当する厚みを有する四角形をなす板状の素材を準備し、

該素材の表面に、積層方向に、互いに平行をなすように、ヘリカルコイルの二字形導体の対向辺を形成するための所定幅の複数本の第一の貫通溝を加工すると共に、前記第一の貫通溝と平行に、ヘリカルコイルの側面部形成用の第二の貫通溝を加工し、

前記第一、第二の貫通溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表裏面を研磨により整面し、

前記素材の表裏面に二字形導体の端部間を接続してヘリカルコイルを構成する橋架導体をフォトリソ工法により形成すると同時に、表裏面のいずれかに端子電極の下地電極をフォトリソ工法により形成し、

該橋架導体を施した素材の表裏面を絶縁材料により覆うと共に、該絶縁材料の

一部を除去して前記下地電極を露出させて端子電極を形成し、

前記素材を縦横に切断することにより、インダクタンス素子を得ることを特徴とする。

【0030】

(16) 本発明の積層電子部品の製造方法は、前記(7)から(9)までのいずれかに記載の積層電子部品を得るため、導体層と絶縁層とを交互に積層してなる積層体よりインダクタンス素子および容量素子を内蔵した積層電子部品を製造する方法であって、

前記積層体の積層方向に複数個のインダクタンス素子のターン数に相当する導体層数を有し、かつ複数個の容量素子分の電極数に相当する導体層数を有すると共に、インダクタンス素子および容量素子の1個分に相当する厚みを有する四角形をなす板状の素材を準備し、

該素材の表面に、積層方向に、互いに平行をなすように、ヘリカルコイルの二字形導体の対向辺を形成するための所定幅の複数本の第一の有底溝を加工すると共に、前記第一の有底溝と平行に、他の素子との隔離用の第二の有底溝を加工し、

前記第一、第二の有底溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表面を研磨により整面し、

該整面された素材の裏面を研磨して裏面側の導体を除去してインダクタンス素子用の二字形導体を形成し、

前記素材の表裏面に二字形導体の端部間を接続してヘリカルコイルを構成する橋架導体をフォトリソ工法により形成すると同時に、表裏面のいずれかに端子電極の下地電極および素子間接続導体をフォトリソ工法により形成し、

前記素材の表裏面を絶縁材料により覆うと共に、該絶縁材料の一部を除去して前記下地電極を露出させて端子電極を形成し、

前記素材を縦横に切断することにより、インダクタンス素子と容量素子とを内蔵する積層電子部品を得ることを特徴とする。

【0031】

(17) また、本発明の積層電子部品の製造方法は、前記(7)から(9)ま

でのいずれかに記載の積層電子部品を得るため、導体層と絶縁層とを交互に積層してなる積層体よりインダクタンス素子および容量素子を内蔵した積層電子部品を製造する方法であって、

前記積層体の積層方向に複数個のインダクタンス素子のターン数に相当する導体層数を有し、かつ複数個の容量素子分の電極数に相当する導体層数を有すると共に、インダクタンス素子および容量素子の 1 個分に相当する厚みを有する四角形をなす板状の素材を準備し、

該素材の表面に、積層方向に、互いに平行をなすように、ヘリカルコイルの二字形導体の対向辺を形成するための所定幅の複数本の第一の有底溝を加工し、

前記第一の有底溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表面を研磨により整面し、

前記素材の表面に前記第一の有底溝と平行に、他の素子との隔離用の第二の有底溝を加工し、

前記第二の有底溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表面を研磨により整面し、

該整面された素材の裏面を研磨して裏面側の導体を除去してインダクタンス素子用の二字形導体を形成し、

前記素材の表裏面に二字形導体の端部間を接続してヘリカルコイルを構成する橋架導体をフォトリソ工法により形成すると同時に、表裏面のいずれかに端子電極の下地電極および素子間接続導体をフォトリソ工法により形成し、

前記素材の表裏面を絶縁材料により覆うと共に、該絶縁材料の一部を除去して前記下地電極を露出させて端子電極を形成し、

前記素材を縦横に切断することにより、インダクタンス素子と容量素子とを内蔵する積層電子部品を得ることを特徴とする。

【 0 0 3 2 】

(1 8) また、本発明の積層電子部品の製造方法は、前記 (7) から (9) までのいずれかに記載の積層電子部品を得るため、導体層と絶縁層とを交互に積層してなる積層体よりインダクタンス素子および容量素子を内蔵した積層電子部品を製造する方法であって、

前記積層体の積層方向に複数個のインダクタンス素子のターン数に相当する導体層数を有し、かつ複数個の容量素子分の電極数に相当する導体層数を有すると共に、インダクタンス素子および容量素子の 1 個分に相当する厚みを有する四角形をなす板状の素材を準備し、

該素材の表面に、積層方向に、互いに平行をなすように、ヘリカルコイルの二字形導体の対向辺を形成するための所定幅の複数本の第一の貫通溝と、該第一の貫通溝と平行をなすように素子間を隔離する第二の貫通溝を加工し、

前記第一、第二の有底溝に絶縁材料を充填し、

該絶縁材料を充填した素材の表裏面を研磨により整面し、

前記素材の表裏面に二字形導体の端部間を接続してヘリカルコイルを構成する橋架導体をフォトリソ工法により形成すると同時に、表裏面のいずれかに端子電極の下地電極および素子間接続導体をフォトリソ工法により形成し、

前記素材の表裏面を絶縁材料により覆うと共に、該絶縁材料の一部を除去して前記下地電極を露出させて端子電極を形成し、

前記素材を縦横に切断することにより、インダクタンス素子と容量素子とを内蔵する積層電子部品を得ることを特徴とする。

【 0 0 3 3 】

(1 9) 本発明の積層電子部品モジュールの製造方法は、前記 (1 0) から (1 2) までのいずれかに記載の積層電子部品モジュールを得るため、樹脂材料または樹脂に機能材料粉末を混合した複合材料でなる層上に導体層を形成した積層電子部品モジュールの製造方法であって、

インダクタンス素子と容量素子のうち、少なくともインダクタンス素子を有し、インダクタンス素子は二字形導体の端部どうしをフォトリソ工法により形成された橋架導体により接続してヘリカルコイルを構成し、かつ表裏面の少なくともいずれかに外部接続用導体を形成した積層電子部品をコア基板とし、

該コア基板の表裏面の少なくとも一方にプリプレグおよび導体箔を重ね、本硬化後、エッチングにより導体パターン形成、および層間接続を行う工程を繰り返すことにより、積層電子部品モジュールを得ることを特徴とする。

【 0 0 3 4 】

【発明の実施の形態】 図 1 (A) は本発明によるインダクタンス素子の一実施の形態を示す透視斜視図、図 1 (B) はそのコイルの構成を示す断面図、図 1 (C) はその電極構造を示す断面図、図 2 (A) は前記インダクタンス素子の底面図、図 2 (B) はその断面図である。

【0 0 3 5】

図 1、図 2 において、1 は矩形ヘリカル状に構成されたコイルであり、該コイル 1 は 4 辺のうちの 2 辺を構成する複数個の二字形導体 2 a、2 b と、他の 2 辺を構成し、かつ隣接する二字形導体 2 a、2 b どうしを接続して全体として矩形ヘリカルコイル 1 を構成する橋架導体 3 a、3 b とからなる。前記二字形導体導体 2 a、2 a 間、および 2 b、2 b 間には図 2 (B) に示すように絶縁層 4 が介在する。

【0 0 3 6】

図 2 (B) に示すように、二字形導体 2 a、2 b の対向辺は後述の切削工程により第一の有底溝 1 8 の側面として構成されるもので、溝 1 8 内に絶縁材料 5 が埋め込まれる。該絶縁材料 5 および二字形導体 2 a、2 b の両端面 6 a、6 b (図 1 (B) 参照) は研磨により整面され、前記橋架導体 3 a、3 b および両端の電極パッド 7 はその整面化された面上に形成される。9、1 0 はそれぞれインダクタンス素子の上面、底面を覆うように設けられた絶縁層、1 1 は両側面に設けられた絶縁層である。1 2 はインダクタンス素子の底面の両端近傍に設けられた端子電極であり、1 2 a は前記電極パッド 7 と端子電極 1 2 との間を接続する下地層を構成する導体である。

【0 0 3 7】

前記絶縁層 4、絶縁材料 5 および外面を覆う絶縁層 9 ~ 1 1 は樹脂材料または樹脂には機能材料粉末を混合した複合材料が用いられる。前記二字形導体 2 a、2 b は金属板または金属箔からなる。また、絶縁層 4 にセラミック板を用いた素材や、絶縁層 4 となるセラミックグリーンシートに二字形導体 2 a、2 b となる導体ペーストを塗布し、焼成したものを素材として用いることもできる。前記橋架導体 3 a、3 b はフォトリソ工法を用いてパターンニングされた導体からなる。この橋架導体 3 a、3 b の形成はメッキのみならず、蒸着やスパッタリングによ

り成膜してもよい。

【0038】

図3ないし図8は前記積層電子部品の製造方法の一実施の形態を示す図である。まず、樹脂材料あるいは樹脂に機能材料粉末を混合した複合材料を溶剤およびバインダに分散させてペースト状とし、図3（A）の斜視図に示すように、導体層である二字形導体2a、2bを得るための金属箔2A上に前記ペーストをドクターブレード法等により塗布し、乾燥して絶縁層4Aを形成する。

【0039】

この場合、金属箔2Aとしては銅箔が好適であるが、ニッケル、銀、金、アルミニウムもしくはこれらの合金等を用いることができる。また、金属箔2Aの好ましい厚みは、5～75 μ mであり、また絶縁層4Aの好ましい厚みは5～100 μ mである。

【0040】

前記絶縁層4Aに使用する樹脂材料として、熱硬化性樹脂の場合には、エポキシ樹脂、フェノール樹脂、不飽和ポリエステル樹脂、ビニルエステル樹脂、ポリイミド樹脂、ポリフェニレンエーテル（オキサイド）樹脂、ビスマレイミドトリアジン（シアネートエステル）樹脂、フマレート樹脂、ポリブタジエン樹脂、ポリビニルベンジルエーテル化合物樹脂等があげられる。

【0041】

熱可塑性樹脂としては、ポリブタジエン樹脂、芳香族ポリエステル樹脂、ポリフェニレンサルファイド樹脂、ポリフェニレンエーテル（オキサイド）樹脂、ポリエチレンテレフタレート樹脂、ポリブチレンテレフタレート樹脂、ポリエチレンサルファイド樹脂、ポリエーテルエーテルケトン樹脂、ポリテトラフルオロエチレン樹脂、グラフト樹脂等があげられる。これらの中でも、特に、フェノール樹脂、エポキシ樹脂、低誘電率エポキシ樹脂、ポリブタジエン樹脂、ビスマレイミドトリアジン（シアネートエステル）樹脂、ビニルベンジル樹脂等がベースレジンとして好ましい。これらの樹脂は単独で使用しても良いし、2種類以上混合して使用してもよい。2種類以上混合して用いる場合の混合比は任意である。

【0042】

また、複合材料を構成する場合の機能材料粉末としては、以下のものがあげられる。比較的高い誘電率を得るためには、チタン-バリウム-ネオジウム系セラミックス、チタン-バリウム-錫系セラミックス、鉛-カルシウム系セラミックス、二酸化チタン系セラミックス、チタン酸バリウム系セラミックス、チタン酸鉛系セラミックス、チタン酸ストロンチウム系セラミックス、チタン酸カルシウム系セラミックス、チタン酸ビスマス系セラミックス、チタン酸マグネシウム系セラミックス、 CaWO_4 系セラミックス、 $\text{Ba}(\text{Mg}, \text{Nb})\text{O}_3$ 系セラミックス、 $\text{Ba}(\text{Mg}, \text{Ta})\text{O}_3$ 系セラミックス、 $\text{Ba}(\text{Co}, \text{Mg}, \text{Nb})\text{O}_3$ 系セラミックス、 $\text{Ba}(\text{Co}, \text{Mg}, \text{Ta})\text{O}_3$ 系セラミックスを用いることが好ましい。

【0043】

なお、二酸化チタン系セラミックスとは、二酸化チタンのみを含有するものの外、他の少量の添加物を含有するものも含み、二酸化チタンの結晶構造が保持されているものをいう。また、他のセラミックスも同様である。特に二酸化チタン系セラミックスはルチル構造を有するものが好ましい。

【0044】

また、誘電率をあまり高くせず、高いQを持たせるためには、樹脂材料に混合する誘電体粉末としては、シリカ、アルミナ、ジルコニア、チタン酸カリウムウイスカ、チタン酸カルシウムウイスカ、チタン酸バリウムウイスカ、酸化亜鉛ウイスカ、ガラスチョップ、ガラスビーズ、カーボン繊維、酸化マグネシウム（タルク）等を用いることが好ましい。これらの樹脂は単独で使用しても良いし、2種類以上混合して使用してもよい。2種類以上混合して用いる場合の混合比は任意である。

【0045】

また、樹脂材料に混合する機能材料粉末に磁性体を用いる場合は、フェライトとしては、 $\text{Mn}-\text{Mg}-\text{Zn}$ 系、 $\text{Ni}-\text{Zn}$ 系、 $\text{Mn}-\text{Zn}$ 系等を用いることができ、なかでも $\text{Mn}-\text{Mg}-\text{Zn}$ 系、 $\text{Ni}-\text{Zn}$ 系等が好ましい。また、前記機能材料粉末として磁性体として強磁性金属を用いることができる。この場合、カーボニル鉄、鉄-シリコン系合金、鉄-アルミニウム-珪素系合金（商標名：セ

ンダスト)、鉄-ニッケル系合金(商標名:パーマロイ)、アモルファス系(鉄系、コバルト系)等を用いることが好ましい。

【0046】

図3(A)に示したように、絶縁層4Aを設けた金属箔2Aを、図3(B)の斜視図に示すように、例えば10cm四方の広さに切断する。

【0047】

次に図3(C)の部分斜視図に示すように、前記のようにして作製した金属箔2Aと絶縁層4Aからなるシートを熱圧着または必要な場合には接着層を介して積層し一体化して積層母材13を得る。この実施の形態においては、インダクタンス素子の1個分の厚みとなるセット14間に、絶縁層2Aの厚みより大きな厚みの絶縁層15を介在させて積層し一体化している。なお、この厚みの大きな絶縁層15の厚みは150～350 μ mとすることが好ましい。

【0048】

次に図3(C)に1点鎖線16で示すように、積層方向に等間隔に切断し、図3(D)の全体斜視図に示すように、厚みtが1個のインダクタンス素子の二字形導体2a、2bのサイズ(長さ)に相当する大きさ(後で研磨する場合には製品の二字形導体2a、2bの厚みは図示のtより小さくなる)のシート状の素材17を得た。また、該素材17の積層方向を縦方向としたときの縦幅L内に複数個(前記サイズのインダクタンス素子の場合例えば数十個)のインダクタンス素子のターン数に相当する導体層数を有し、かつ横幅Wも複数個(前記サイズのインダクタンス素子の場合例えば数十個)のインダクタンス素子に相当するサイズとする。図3(E)は図3(D)の部分拡大斜視図である。

【0049】

次に図4(A)の全体斜視図および図4(B)の部分拡大図に示すように、前記コイル1の二字形導体の対向辺形成用の第一の有底溝18を、積層方向に対して直角をなす方向にダイシングにより等間隔に研削する。この場合、後述の図10に示すように、素材17は接着シート45を介して台46に貼り付けて溝18を研削する。なお、溝18の幅および深さが300～400 μ mであることが好ましい。

【 0 0 5 0 】

次に図 4 (C) の部分拡大斜視図に示すように、前記溝 1 8 に前記絶縁材料 5 を埋め込む。この絶縁材料 5 には前記樹脂材料または樹脂に機能材料粉末を混合した複合材料を溶剤やバインダに分散させたものを用い、この絶縁材料 5 の埋め込みは、溝 1 8 の形成面に印刷等により塗布し、乾燥することにより行う。そしてこのようにして溝 1 8 に絶縁材料 5 を埋め込んだものの表面（製品では底面となる面側）を研磨して金属箔 2 A が絶縁材料 5 により覆われた部分を除去すると同時に、表面を整面（平滑化）する。

【 0 0 5 1 】

次に図 5 (A) の斜視図に示すように、前記溝 1 8 に平行に、素子の側面形成用の第二の有底溝 1 9 を、溝 1 8 （絶縁材料 5 ）の間に研削により形成する。

【 0 0 5 2 】

次に図 5 (B) の部分拡大斜視図に示すように、前記有底溝 1 9 に、前記側面の絶縁層 1 1 を形成するための絶縁材料 2 0 を充填し、溝 1 9 の開口側の面を研磨により整面する。

【 0 0 5 3 】

次に図 5 (B) の H で示す厚み分、すなわち有底溝 1 8 、 1 9 の底部となる部分を研磨により削除し整面する。

【 0 0 5 4 】

次に図 5 (C) 、図 7 (A) に示すように、整面化された上面、底面に、隣接する二字形導体 2 a 、 2 b 間を接続するための橋架導体 3 a 、 3 b および電極パッド 7 をフォトリソ工法を用いて形成する。

【 0 0 5 5 】

このパターンニングをセミアデティブ法により行う場合、図 6 (A) 、 (B) 、 (C) に示すように、素材 1 7 の表面（裏面も同様）全面に下地層 2 5 として銅膜を無電解メッキまたはスパッタリングにより形成し、次に表面全面にレジスト 2 6 を施し、フォトリソ工法を用いて、橋架導体 3 a となるべき部分 2 7 や電極パッド 7 となるべき部分 2 9 のレジストを除去し、これらのレジスト除去部分 2 7 、 2 9 の部分に電解メッキにより銅のメッキ層を形成し、その後レジスト 2 6

とその下の下地層 25 を除去することにより行う。

【0056】

このように、微細なパターンを形成する場合は、セミアデティブ法やアデティブ法等の電気メッキの他、スパッタリング、蒸着、CVD等の薄膜形成法を用いることが好ましい。その他、エッチングや印刷によっても橋架導体 3a、3b等の形成を行うことができる。また、橋架導体 3a、3bとしては、銅、銀、金、白金、パラジウム、アルミニウム等を用いることができる。

【0057】

次に図 7 (A) に示す素材 17 の表裏面に、図 7 (B) に示すように、絶縁層 9、10 で覆う。この絶縁層 9、10 の形成は、印刷やスピコートあるいはシート of 溶着や接着により行うことができる。

【0058】

次に図 7 (C) に示すように、前記電極パッド 7 の部分の上の絶縁層 10 にレーザー等により穴 21 を明ける。そしてその穴 21 の中に電解メッキにより下地層 12a としての銅、あるいは下地層 12a として樹脂中に銀を混合した導電剤を印刷等により充填する。次にその上に例えばニッケル、錫をこの順にメッキする等により、半田付けのための端子電極 12 を形成する。なお、素子の端面相当部分や側面相当部分に穴加工と下地電極 12a の形成を行うことにより、素子の端面や側面にもこの端子電極 12 を形成することができる。

【0059】

図 8 は素材 17 内に形成されたヘリカルコイル 1 にそれぞれ対応して 2 個ずつ端子電極 12 を形成した素材 17 の全体斜視図である。図 8 に示すように、前記溝 18 の方向に対して直角をなす方向に線 23 に沿ってダイシングにより切断加工する。また、この切断加工の後、または前に、図 7 (D) において幅 s で示しかつ図 8 において線 22 で示すように、前記スリット 19 に充填した絶縁材料 20 の中央部分を除去するようにしてダイシングにより切断加工を行って、前記側面の絶縁層 11 を形成すると共に、個々のチップを得る。

【0060】

以上に説明したように、本発明においては、ヘリカルコイル 1 の二字形導体 2

や外周部分を切削により形成するため、コイル形状が揃い、二字形導体間の位置のばらつきや積層ばらつきがなく、インダクタンス値が揃った狭公差のインダクタンス素子を得ることができる。

【0 0 6 1】

また、切削によって一度にヘリカルコイル 1 となる導体加工を行うため、製造が容易となり、低コストで素子を製造することができる。また、本実施の形態のように、樹脂やその複合材料により絶縁材料 5 や絶縁層 9 ～ 1 1 を構成すれば、加工が容易となる。

【0 0 6 2】

また、導体として導電性接着剤や前述の導体ペーストのセラミックとの焼結体等を用いることも可能であるが、本実施の形態のように金属箔 2 A を用いれば、セラミックインダクタに比較し、二字形導体の比抵抗を低く抑えることができるため、直流抵抗を低くでき、高い Q 特性を得ることができる。

【0 0 6 3】

また、橋架導体 3 a、3 b を形成する面は、研磨により整面化することにより、二字形導体 2 a、2 b の端部とパターンニングにより形成された橋架部分である導体 3 a、3 b との接続が良好に行えると共に、コイル形状をより揃えることができる。

【0 0 6 4】

本実施の形態のように、列状にチップが配列される溝 1 8 間の切断領域に溝 1 9 を設けてその溝 1 9 に絶縁材料 2 0 を充填しておき、その充填された絶縁材料 2 0 の中央部を切断手段によって切断すれば、個々のチップの両側面を絶縁材料で覆ったチップが切断と同時に形成され、チップ側面に絶縁材料を後付けする手間が不要となり、能率良く製造できる。

【0 0 6 5】

また、素材 1 7 を得る場合、本実施の形態のように、同時に複数個のチップ厚み分の素材を得て切断することにより、積層体の形成工数が少なくなる。

【0 0 6 6】

また、本発明は、前記サイズより小さいものや大きいものにも適用でき、金属

箔 2 A の代わりに金属板を用いてもよい。

【0 0 6 7】

具体例について述べると、ターン数が 1 2 で平面の縦横幅が 1 mm × 0. 5 mm、厚みが 0. 5 mm のインダクタンス素子を試作した。ここで、絶縁材料 5 や絶縁層 4、9 ~ 1 1 にはビニルベンジル樹脂にシリカ粉末を分散混合した比誘電率 ϵ が 2. 9 の複合材料を用いた。また、コイル導体 2 a、2 b には銅の金属箔を用い、その厚みを $35\ \mu\text{m}$ 、絶縁層 4 の厚みを $25\ \mu\text{m}$ とし、溝 1 8 の幅を $360\ \mu\text{m}$ 、深さを $330\ \mu\text{m}$ とした。また、橋架導体 3 に薄膜銅を用いた。このインダクタンス素子のインダクタンス値は 1 5 nH、Q 値が約 6 0 (1 GHz) であった。一方、同じサイズで従来の薄膜によるスパイラル構造のコイルを形成したものは、Q 値が約 2 0 であり、セラミック積層体による場合には Q 値が約 3 0 であるから、本発明により Q 値の大幅な向上が達成できることが確認できた。

【0 0 6 8】

図 9 (A) は本発明のインダクタンス素子の他の実施の形態であり、チョークコイルやトランスとして構成されたインダクタンス素子について示す。本実施の形態においては、二字形導体 2 a、2 b に対してそれぞれ 1 つ跳びに導体 3 a 1、3 a 2 および 3 b 1、3 b 2 により交互に接続してそれぞれ一連のコイルを形成することにより、2 つの矩形ヘリカルコイルを形成したものである。7 a、7 b は 2 つのヘリカルコイルのうちの 1 つの両端に接続される電極パッド、7 c、7 d は他の 2 つのヘリカルコイルの両端に接続される電極パッド、4 1 ~ 4 4 はそれぞれこれらの電極パッド 7 a ~ 7 d 上に形成される端子電極である。

【0 0 6 9】

このように、二字形導体 2 a、2 b 間の橋架導体による接続構造を変えることにより、2 つのヘリカルコイルを形成することが可能である。

【0 0 7 0】

また、図 9 (B) に示すように、1 つのチップに複数のヘリカルコイル 1 が内蔵して並設されたインダクタンス素子アレイとして構成することも可能である。また、必要に応じてヘリカルコイル 1 のターン数を設定することにより、アンテナ機能を有するインダクタンス素子として構成することができる。

【0071】

本発明のインダクタンス素子において、前記絶縁材料 5 およびコイルの外周を覆う絶縁層（側面絶縁層 9 や底面の絶縁層 10 および側面の絶縁層 11）の少なくともいずれかに磁性体を用い、二字形導体 2 に誘電体を用いることにより、インダクタンス値の高いインダクタンス素子を得ることができる。ここで、絶縁材料 5 には、樹脂に磁性体粉末を混合した複合材料を用いることもできるが、前記パーマロイ、センダスト等のような高透磁率の絶縁被覆した棒状金属磁性体を用いることにより、よりインダクタンス値の高いインダクタンス素子を得ることができる。また、このような磁心となる磁性体を溝 18 に埋め込むと共に、コイル外周の絶縁層 9～11 にも樹脂に磁性粉末を混合した磁性体を用いることにより、さらにインダクタンス値の高いインダクタンス素子を得ることができる。なお、この金属磁性体を用いる場合は、溝 18 内に絶縁性接着材で二字形導体 2a、2b と電氣的に絶縁して固定することが好ましい。

【0072】

図 10 は本発明によるインダクタンス素子の製造方法の他の実施の形態を示す工程図である。これは図 3（D）、（E）に示したように、複数個のインダクタンス素子を含む積層体でなる素材 17 を、図 10（A）に示すように、接着シート 45 により台 46 に貼り付けて前記有底溝 18 を研削すると共に、これらの間に第一の有底溝 18 と平行な前記第二の有底溝 19 を研削する。

【0073】

次に図 10（B）に示すように、溝 18、19 に熔融状態の樹脂材料または前記複合材料でなる絶縁材料 47 を一度に充填して固化させる。その後、図 10（C）に示すように、絶縁材料 47 を研磨して金属箔 2A を露出させ、整面する。その後は図 5（B）に示したように、有底溝 18、19 の底部を研削により削除し、前記と同様の工程でインダクタンス素子を得る。

【0074】

このような工程によりインダクタンス素子を製造する場合には、絶縁材料 47 の溝 18、19 への充填を一度に行えるので、能率良くインダクタンス素子の製造が可能になる。しかしながら、図 10（B）に示すように、樹脂または樹脂を

含む絶縁材料 4 7 が硬化する時に、矢印 X で示すように収縮し、これにより二点鎖線 S で示すように素材 1 7 が反り、図 1 0 (D) に示すようになり、表面を線 4 8 で示すように平面に研磨する際に、図面上左右両端の金属箔 2 A の溝 1 8、1 9 の開口部が、中央部分よりも大きく研磨され、前記二字形導体 2 a、2 b の長さが不揃いになるという不具合がある。

【0 0 7 5】

一方、前記図 4、図 5 に示したように、溝 1 8 への絶縁材料 5 の充填と研磨、溝 1 9 の研削と絶縁材料 2 0 の充填と研磨を段階的に行えば、前記した反りの発生の問題が緩和される。

【0 0 7 6】

図 1 1 は本発明によるインダクタンス素子の製造方法の他の実施の形態を示す工程図である。これは前記素材 1 7 に、図 1 1 (A)、(B) に示すように、前記有底溝 1 8、1 9 にそれぞれ対応する第一の貫通溝 1 8 A と第二の貫通溝 1 9 A を研削し、図 1 1 (C) に示すように、これらの溝 1 8 A、1 9 A に前記熔融状態の絶縁材料 4 7 を充填し硬化する。次に図 1 1 (D) に示すように、絶縁材料 4 7 を充填した素材 1 7 の表裏面を研磨して整面し、表裏面における金属箔の部分を出させる。その後、図 1 1 (E) に示すように、素材 1 7 の表裏面に前記方法により橋架導体 3 a、3 b を形成する。

【0 0 7 7】

図 1 1 に示した方法によれば、図 1 0 に示したように、前記絶縁材料 4 7 の有底溝 1 8、1 9 への片面からの充填することによる反りの問題が解決でき、しかも有底溝 1 8、1 9 の底部の研削による除去工程が省略でき、能率よく製造できる。しかし、有底溝 1 8、1 9 を設ける方法に比較し、貫通溝 1 8 A、1 9 A の形成により素材 1 7 における溝 1 8 A、1 9 A の間の脆弱化の問題があるので、比較的溝 1 8 A、1 9 A 間の厚みが確保し易いものに好適な方法である。

【0 0 7 8】

図 1 2 (A) は本発明による積層電子部品の一実施の形態を LC フィルタについて上下逆にして示す斜視図、図 1 2 (B) はその透視斜視図、図 1 2 (C) はその等価回路図である。また、図 1 3 (A)、(B) はそれぞれこの LC フィル

タの縦断面図、横断面図である。

【0079】

このLCフィルタは、樹脂材料または樹脂にセラミック等の機能材料粉末（磁性体粉末または誘電体粉末）を混合した複合材料でなる基材中に少なくとも1個（本例は2個）のインダクタンス素子Lと、少なくとも1個（本例は1個）の容量素子Cとを内蔵する。本例では2個のインダクタンス素子Lと1個の容量素子Cにより図12（C）のT型フィルタを構成した例を示す。この積層電子部品は、底面にプリント基板への半田付け用の端子電極12とグランド電極12Xを設けてなる。

【0080】

前記インダクタンス素子Lは図12（B）に示すように矩形ヘリカル状に構成されたコイルでなり、該コイルは4辺のうちの2辺を構成する複数個の二字形導体2a、2bと、他の2辺を構成し、かつ二字形導体2a、2bの端部どうしを接続して全体として矩形ヘリカルコイルを構成する橋架導体3a、3bとからなる。

【0081】

また、前記容量素子Cは、後述の工程により前記二字形導体2a、2bと同じ積層素材の加工により形成されるコンデンサ電極51と、これらのコンデンサ電極51をそれぞれ1つおきに接続する接続導体53、53とからなる。52はインダクタンス素子Lと容量素子Cとの間を接続する素子間接続導体、7は前記橋架導体3a、3b、接続導体52、53と同時に接続され、端子電極12やグランド電極12Xに素子L、Cを接続するための電極パッドである。12aは端子電極12やグランド電極12Xに素子L、Cを接続する電極下地導体である。

【0082】

前記二字形導体2a、2a間、2b、2b間およびコンデンサ電極51、51間には図13（B）の断面図に示すように絶縁層4が介在する。二字形導体a、2bの対向面、およびコンデンサ電極51との対向面は後述の切削によって積層方向について互いに同面に形成される。すなわち二字形導体2a、2bの対向面は前述の切削工程により溝18、19の側面として構成されるもので、溝18、

19 内に絶縁材料 5、20 が充填される。

【0083】

前記二字形導体 2a、2b 内の絶縁材料 5 および素子間絶縁材料 20 の二字形導体 2a、2b の両端が位置する面 49 (図 13 (A) 参照) は研磨により整面され、前記橋架導体 3a、3b および接続導体 52、53 および電極パッド 7 はその整面化された面上に形成される。9、10 はそれぞれ積層電子部品の上面、底面を覆うように印刷やスピンコートあるいはシートの溶着や接着により設けられた絶縁層であり、前記端子電極 12 およびグランド電極 12X は底面の絶縁層 10 上に設けられる。

【0084】

図 14、図 15 はこの LC フィルタの製造方法の一例を示す図であり、図 3 (D)、(E) に示した素材 17 に、図 14 (A)、(B) に示すように、二字形導体 2a、2b 形成用の有底溝 18 と素子間 (あるいは電極側面) 形成用の有底溝 19 を平行に研削し、続いて図 15 に示すように、これらの溝 18、19 に前記樹脂材料あるいは複合材料でなる絶縁材料 5、20 を充填して研磨により整面する。その後は図 5 ~ 図 7 に示したものと同様の工程で有底溝 18、19 の底部の研磨による削除、橋架導体 3a、3b やパッド 7 や接続導体 52、53 の形成、下地電極 12a や端子電極 12 およびグランド電極 12X の形成を行い、その後、図 14 (A) における線 22、23 に相当する位置で個々のチップに切断する。

【0085】

この LC フィルタの製造方法としては、インダクタンス素子について説明した方法、すなわちまず有底溝 18 を設けてこれに絶縁材料 5 を充填し、研磨した後、有底溝 19 を設けて絶縁材料 20 を充填して研磨する方法を採用してもよい。また、図 11 に示した貫通溝を設ける方法も採用できる。

【0086】

本発明による積層電子部品は、コイルの二字形導体 2a、2b やコンデンサ電極 51 が積層体の切削により形成されるため、コイル形状や電極形状が揃い、二字形導体 2a、2b やコンデンサ電極 51、51 間の位置のばらつきや積層ばら

つきがなく、インダクタンス値や容量値が揃った狭公差の積層電子部品を得ることができる。また、切削によって一度にヘリカルコイルの二字形導体 2 a、2 b やコンデンサ電極 5 1 となる導体加工を行うため、製造が容易となり、低コストで積層電子部品を製造することができる。

【0087】

また、樹脂材料やその複合材料により絶縁層 4 を構成すれば、加工が容易となる。また、混合材料の種類を変えることにより、任意の特性の積層電子部品が得られる。

【0088】

また、二字形導体 2 a、2 b やコンデンサ電極 5 1 として金属板または金属箔を用い、橋架導体としてフォトリソ工法により形成した導体を用いれば、コイルの比抵抗を低く抑えることができるため、直流抵抗を低くでき、より高い Q 特性を得ることができる。

【0089】

本発明により積層電子部品の具体的な製品の例としては、アンテナ、バンドパスフィルタ、ローパスフィルタ、ハイパスフィルタ、EMC フィルタ、コモンモードフィルタ、ディレイライン、トラップ、バルントランス、カプラ（方向性結合器）、ダイプレクサ、デュプレクサ、ダブルバランスドミキサー、電力合成器、電力分配器等が挙げられる。

【0090】

図 16 は本発明による積層電子部品モジュールの一実施の形態を示す斜視図である。図 16 (A) に示すように、この実施の形態のモジュールは、コア基板 5 7 およびその上下のビルドアップ層 5 9 からなる積層基板（モジュール）6 6 に半導体素子 6 0、大容量コンデンサ 6 1、ベアチップ 6 2 などの電子部品を搭載したものであり、部品形状や部品の実装形態は図示例以外に種々に変更できる。

【0091】

図 17 (A) は前記コア基板 5 7 の一例を示す透視斜視図、図 17 (B)、(C) はそれぞれその正面図および側面図、図 17 (D) はその部分拡大透視斜視図である。この例に示すコア基板 5 7 は、樹脂材料または前記複合材料中に前記

製造方法により形成された二字形導体 2 a、2 b および橋架導体 3 a、3 b からなるインダクタンス素子 L をその巻芯方向に複数個（図示例は 3 個）内蔵し、かつ 2 列設け、また、前記製造方法により形成されたコンデンサ電極 5 1 からなる容量素子 C も同数（3 個）に 1 列設けてなる。各インダクタンス素子 L および容量素子 C には他の層の素子や配線等に接続するためのパッド 7 を有する。前記橋架導体 3 a、3 b や電極接続導体 5 3 はコア基板 5 7 の表面に露出している。ただし、上面、底面の前記絶縁層 9、10 設けられない。なお、前述の実施の形態で示したように、素子 L、C 間を素子間接続導体 5 2 によって接続する構成としてもよい。

【0092】

図 16（B）にこのモジュールの内部構造を示す。コア基板 5 7 の内部には、前記製法により作製されたインダクタンス素子 L と容量素子 C とを含む積層電子部品が内蔵されている。これらのインダクタンス素子 L および容量素子 C は、モジュール 5 7 の積層方向に対して垂直方向に積層された構造を有する。これらの素子 L、C は、コア基板 5 7 の表面導体で構成されるパッド 7 やビアホール 6 3 およびビルドアップ層 5 9 のビアホール 6 4 および配線パターン 6 5 によってモジュール 6 6 内のその他の素子あるいはコア基板 5 7 内の他の素子、さらにはベアチップ 6 2 等と接続されている。そして、そのコア基板 5 7 をコアとして、上下にビルドアップ層 5 9 の各層 5 9 a と 5 9 b、次に 5 9 c と 5 9 d、次に 5 9 e と 5 9 f の順に積層していく。

【0093】

このビルドアップ層の形成の際には、各層 5 9 a ～ 5 9 f に配線パターン 6 5 を形成する。また各層 5 9 a ～ 5 9 f の配線パターン 6 5 は各層に貫通して形成したビアホール 6 4 により接続される。この実施の形態では記載を省略しているが、ビルドアップ層 5 9 内にインダクタンス素子や容量素子あるいは抵抗素子等のパッシブ素子を構成してもよい。

【0094】

また、このビルドアップ層 5 9 の形成は、一般的プリント基板のビルドアップ工法を用いることができる。すなわち、プリプレグおよび導体箔を重ね、本硬化

後、エッチングにより導体パターン形成、および層間接続を行う工程を繰り返す。また、ビルドアップに限らず、前記インダクタンス素子Lおよび容量素子Cを内蔵するコア基板57と、その他のコア基板およびプリプレグとを積層してモジュールを構成してもよい。また、コア基板57と他のビルドアップ層59との導体の接続または他のビルドアップ層59間の接続はスルーホールやインナービアホール接続により行ってもよい。また、モジュール66内に複数枚のコア基板57は設けてもよい。

【0095】

このように、前記積層体の溝加工により二字形導体を形成しかつ橋架導体を形成したインダクタンス素子Lあるいはさらに容量素子Cをモジュール66に内蔵することにより、精度の高い狭交差のインダクタンス素子Lや容量素子Cを有する積層電子部品モジュール66を得ることができる。また、インダクタンス素子Lや容量素子Cを含む基板コア基板57が、樹脂基板または複合材料基板中に1つの基板として含まれるので、チップ部品を埋め込む場合に比較して、製造工程が格段に簡単になり、低コスト化を達成できる。また、精度の高いインダクタンス素子Lや容量素子Cを内蔵できるので、トリミングレスにすることが可能となり、低コスト化が図れる。

【0096】

また、インダクタンス素子Lの巻芯の方向をモジュールの積層方向に対して直角をなす方向とすることにより、そのインダクタンス素子Lは発生磁束が上下のグラウンド電極やコンデンサ電極（いずれも図示せず）や配線層と交差する度合いが減少し、これらの影響を受けにくくなり、高インダクタンス、高Q特性のインダクタンス素子を内蔵したモジュールを得ることができる。

【0097】

また、インダクタンス素子Lの巻芯方向がモジュールの基板の積層方向に一致すると、コイルのターン数やコンデンサ電極51の層数に制限を受けやすくなるが、基板の面方向に巻芯方向に設定することにより、ターン数や層数の多いインダクタンス素子Lや容量素子Cを基板内に内蔵することができ、高いインダクタンス値や容量値を確保することができる。

【0098】

また、前記した理由により、高いインダクタンス値や容量値を確保することができる上、自己共振周波数も非常に高く、他のインダクタンス素子との結合も小さくすることができるので、モジュールの特性を良くすることができる。また、容量素子Cについても小さな電極を多層積層する構造が採用できるので、低インダクタンスでかつ低抵抗の容量素子Cを構成することができる。これによってもモジュールの特性を大幅に改善することが可能となる。

【0099】

なお、本発明が適用される具体的なモジュールとしては、移動体通信機器等におけるアンテナスイッチモジュール、フロントエンドモジュール、パワーアンプモジュール、VCO、PLLモジュール、TCXOモジュール、IFモジュール、RFモジュール、パワーアンプアイソレータモジュール、アンテナフロントエンドモジュール等が挙げられ、さらに、光ピックアップ、DC-DCコンバータ、チューナーユニット等に用いることができる。 **【発明の効果】**

【0100】

本発明のインダクタンス素子とその製造方法によれば、ヘリカルコイルの2辺の二字形導体を、素材の切削により形成し、他の2辺はパターンニングされた導体により構成したので、量産が容易で、導体パターンのずれが小さく、狭公差のインダクタンス値が得られる。また、導体として金属板または金属箔を用いることにより、高いQ特性が得られるインダクタンス素子が得られる。

【0101】

また、本発明によれば、溝の形成切断によりインダクタンス素子となるヘリカルコイルや容量素子のコンデンサ電極が形成されるため、量産が容易で、導体パターンのずれが小さく、狭公差のインダクタンス値や容量値の積層電子部品や積層電子部品モジュールが得られる。

【0102】

また、本発明によれば、印刷などによらず、積層体の溝加工によってインダクタンス素子の二字形導体や容量素子のコンデンサ電極が形成されるため、製造工程が簡略化でき、低コスト化が可能となる。

【 0 1 0 3 】

また、本発明による積層電子部品モジュールは、積層電子部品をモジュールに埋設する場合、インダクタンス素子の巻芯の方向をモジュールの積層方向に対して垂直をなす方向とすることにより、そのインダクタンス素子は発生磁束が上下のグランド電極やコンデンサ電極や配線層と交差する度合いが減少し、上下のグランド層や配線層あるいはコンデンサ電極の影響を受け難く、高いインダクタンス、高いQ特性が得られる。

【図面の簡単な説明】

【図 1】 (A) は本発明によるインダクタンス素子の一実施の形態を示す透視斜視図、(B) はそのコイルの構成を示す断面図、(C) はその電極構造を示す断面図である。

【図 2】 (A) は本実施の形態のインダクタンス素子の底面図、(B) はその断面図である。

【図 3】 (A) は本実施の形態の原材料となるシートを示す斜視図、(B) はそのシートを所定の長さごとに切断したものを示す斜視図、(C) は(B)のシートを積層し一体化した積層母材を示す部分斜視図、(D) は(C)の積層母材を切断加工した後の素材を示す全体斜視図、(E) は(D)の部分拡大斜視図である。

【図 4】 (A) は本実施の形態の素材に溝を形成した状態を示す全体斜視図、(B) はその部分拡大図、(C) は前記溝の部分に絶縁材料を埋め込んだ状態を示す部分拡大斜視図である。

【図 5】 (A) は本実施の形態において、二字形導体形成用第一の有底溝間の部分に第二の有底溝を形成した状態を示す素材の全体斜視図、(B) は(A)の第二の有底溝にも絶縁材料を充填した状態を示す部分拡大斜視図、(C) は隣接する二字形導体間をパターンニングされた導体により接続した状態を示す部分拡大斜視図である。

【図 6】 (A) は本実施の形態において、素材上に橋架導体形成のための下地膜およびレジストパターンを形成した状態を示す断面図、(B) はその平面図、(C) はメッキおよびレジスト等の除去により形成された橋架導体および電極

パッドのパターンを示す平面図である。

【図 7】 (A) は図 5 (C) の素材の断面図、(B) はその素材のスリットおよび表裏面に絶縁層を設けた状態を示す断面図、(C) は電極パッドの部分の上の絶縁層をレーザ等により穴を明けた状態を示す断面図、(D) はその穴および表面に端子電極を形成した状態を示す断面図である。

【図 8】 前記素材内に形成されたヘリカルコイルにそれぞれ対応して 2 個ずつ端子電極を形成した素材および切断箇所を示す全体斜視図である。

【図 9】 (A) は本発明によるインダクタンス素子の他の実施の形態を示す透視斜視図、(B) は本発明によるインダクタンス素子の他の実施の形態を示す斜視図である。

【図 10】 本発明によるインダクタンス素子の製造方法の他の実施の形態を示す工程図である。

【図 11】 本発明によるインダクタンス素子の製造方法の他の実施の形態をさらに示す工程図である。

【図 12】 (A) は本発明による積層電子部品の一実施の形態を示す斜視図、(B) はその内部構成を示す透視斜視図、(C) はその等価回路図である。

【図 13】 (A)、(B) はそれぞれ本実施の形態の積層電子部品の縦断面図、横断面図である。

【図 14】 (A) は本実施の形態の素材に溝を形成した状態を示す全体斜視図、(B) はその部分拡大図である。

【図 15】 本実施の形態において溝に絶縁材料を充填した状態を示す素材の部分拡大斜視図である。

【図 16】 (A) は本発明による積層電子部品モジュールの一実施の形態を示す斜視図、(B) はその層構造図である。

【図 17】 (A) は本実施の形態のモジュールに組み込むコア基板を示す透視斜視図、(B)、(C) はそれぞれその正面図および側面図、(D) はその部分拡大透視斜視図である。

【符号の説明】

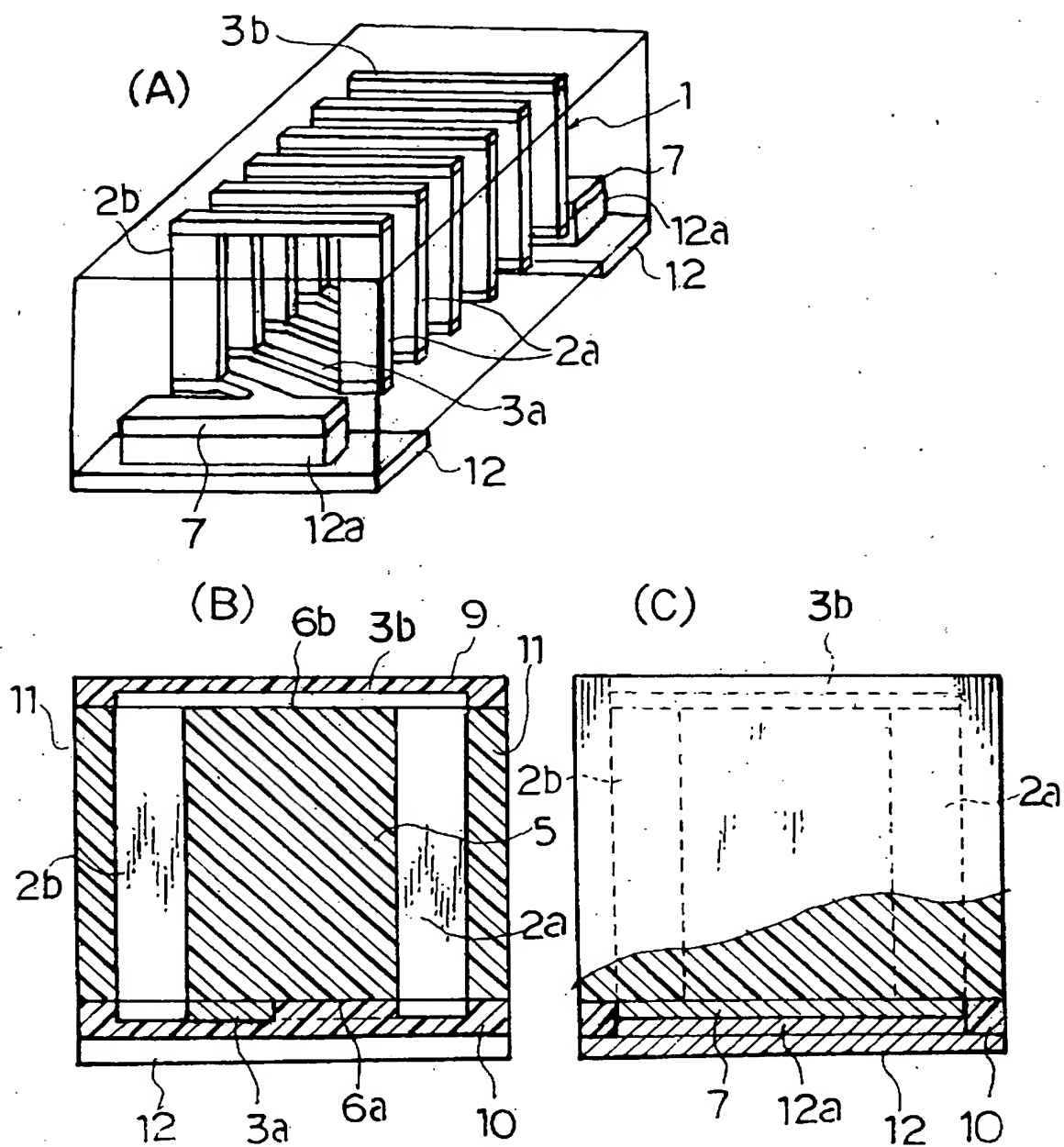
1：ヘリカルコイル、2 a、2 b：二字形導体、2 A：金属箔、3、3 a、3 b

：橋架導体、4、4 A：絶縁層、5：絶縁材料、6 a、6 b：整面化面、7、7 a～7 d：電極パッド、9～11：絶縁層、12：端子電極、12 X：グランド電極、13：積層母材、14：セット、15：接着層、16：切断線、17：素材、18：第一の有底溝、18 A：第一の貫通溝、19：第二の有底溝、19 A：第二の貫通溝、20：絶縁材料、21：穴、22、23：切断線、25：下地層、26：レジスト、27、29：レジスト除去部分、41～44：端子電極、45：接着シート、46：台、47：絶縁材料、49：整面化面、51：コンデンサ電極、52、53：接続導体、57：コア基板、59：ビルドアップ層、60：半導体素子、61：大容量コンデンサ、62：ベアチップ、63、64：ビアホール、65：配線パターン、66：モジュール、C：容量素子、L：インダクタンス素子

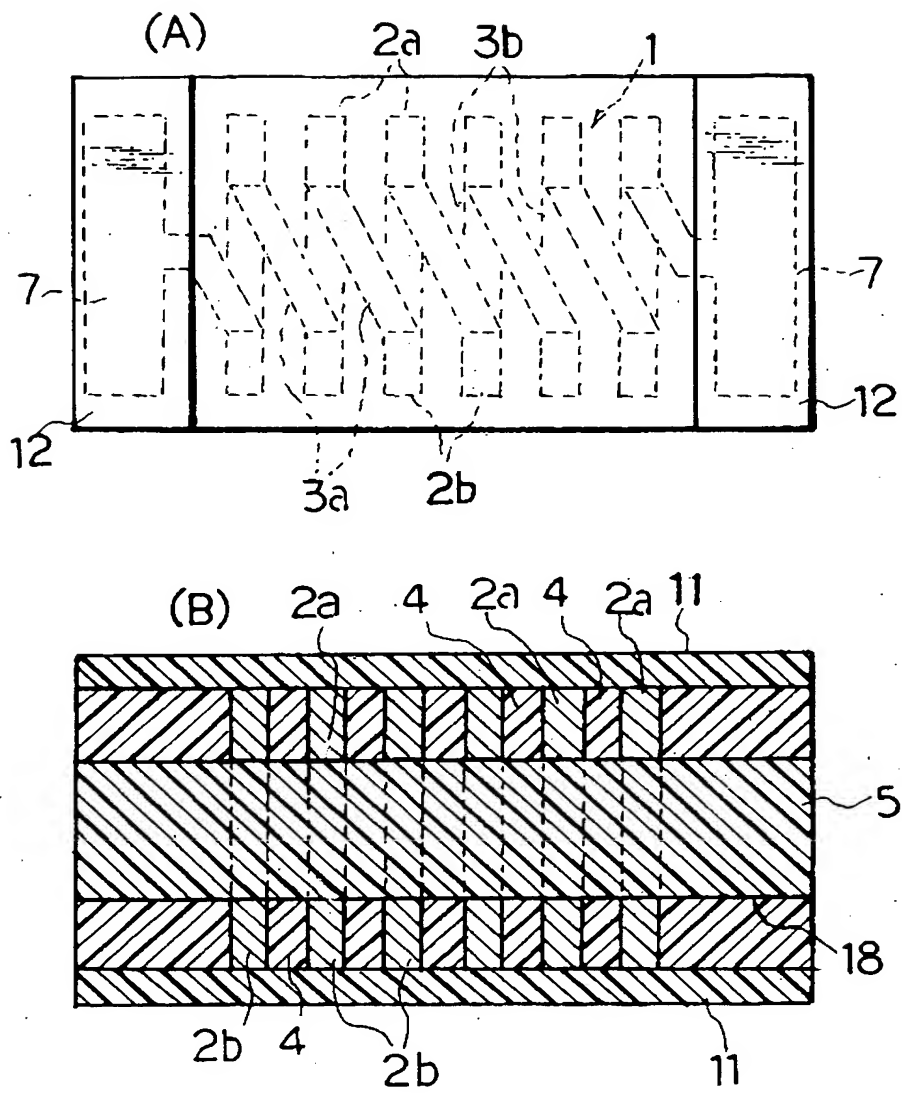
【書類名】

図面

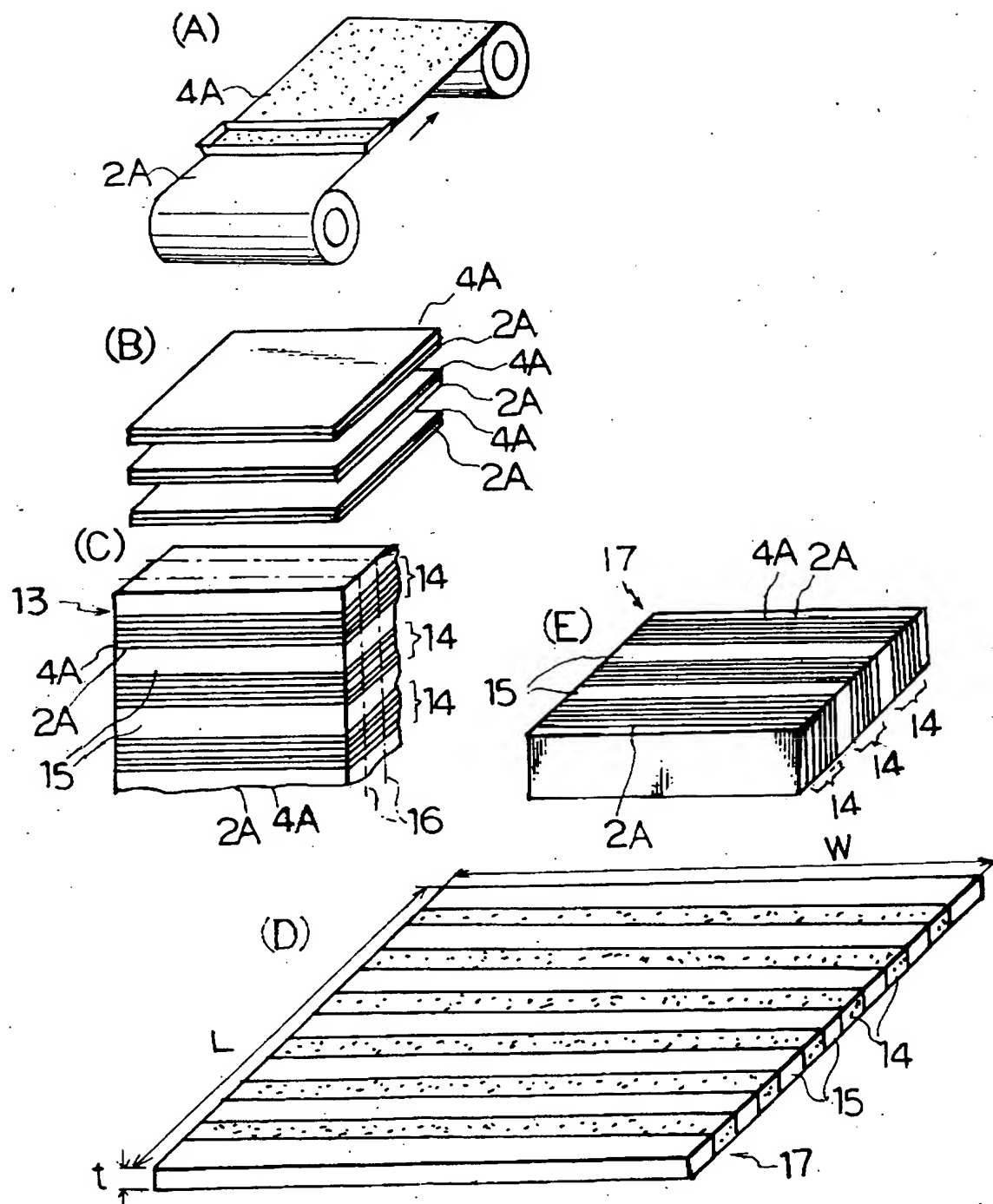
【図 1】



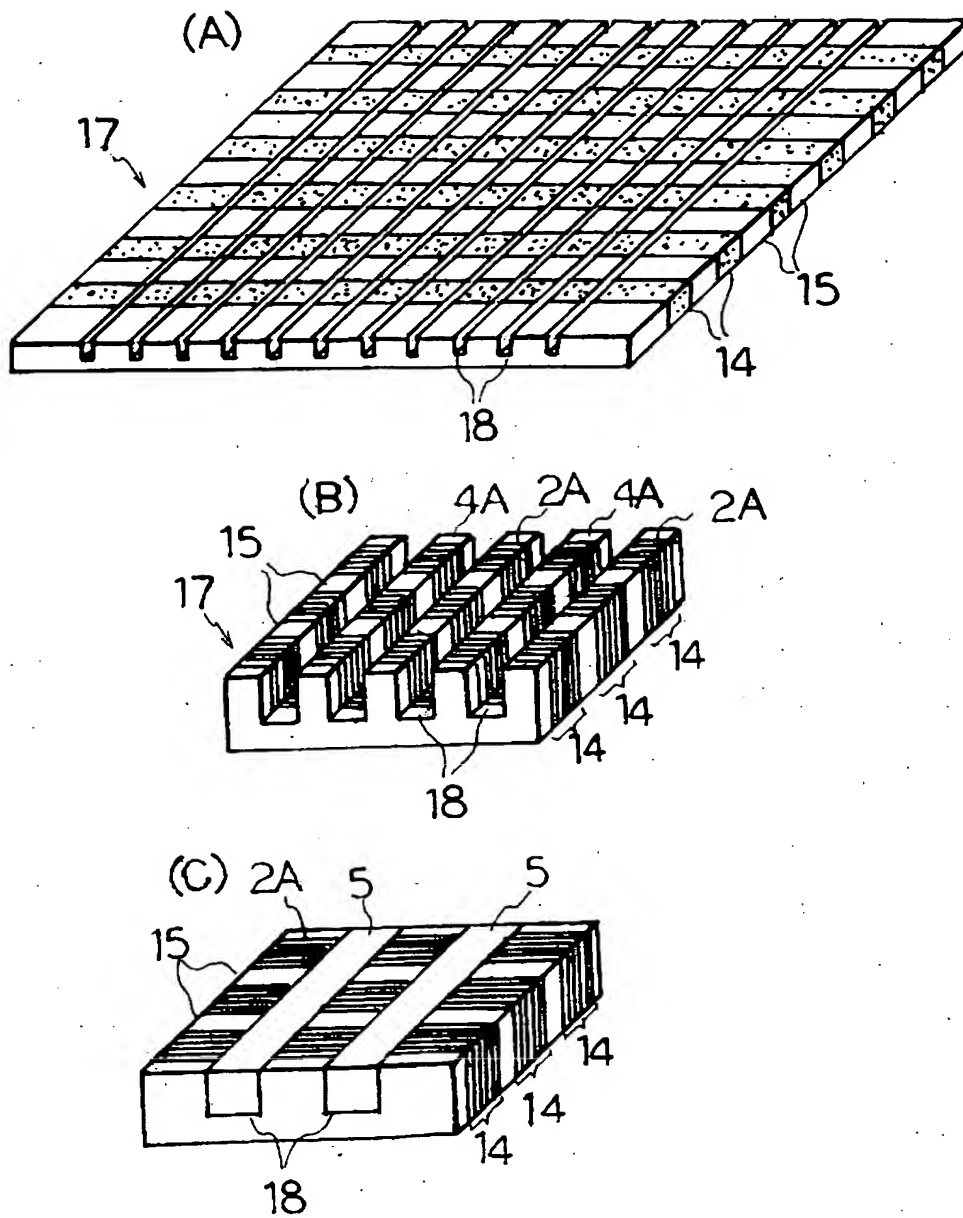
【図 2】



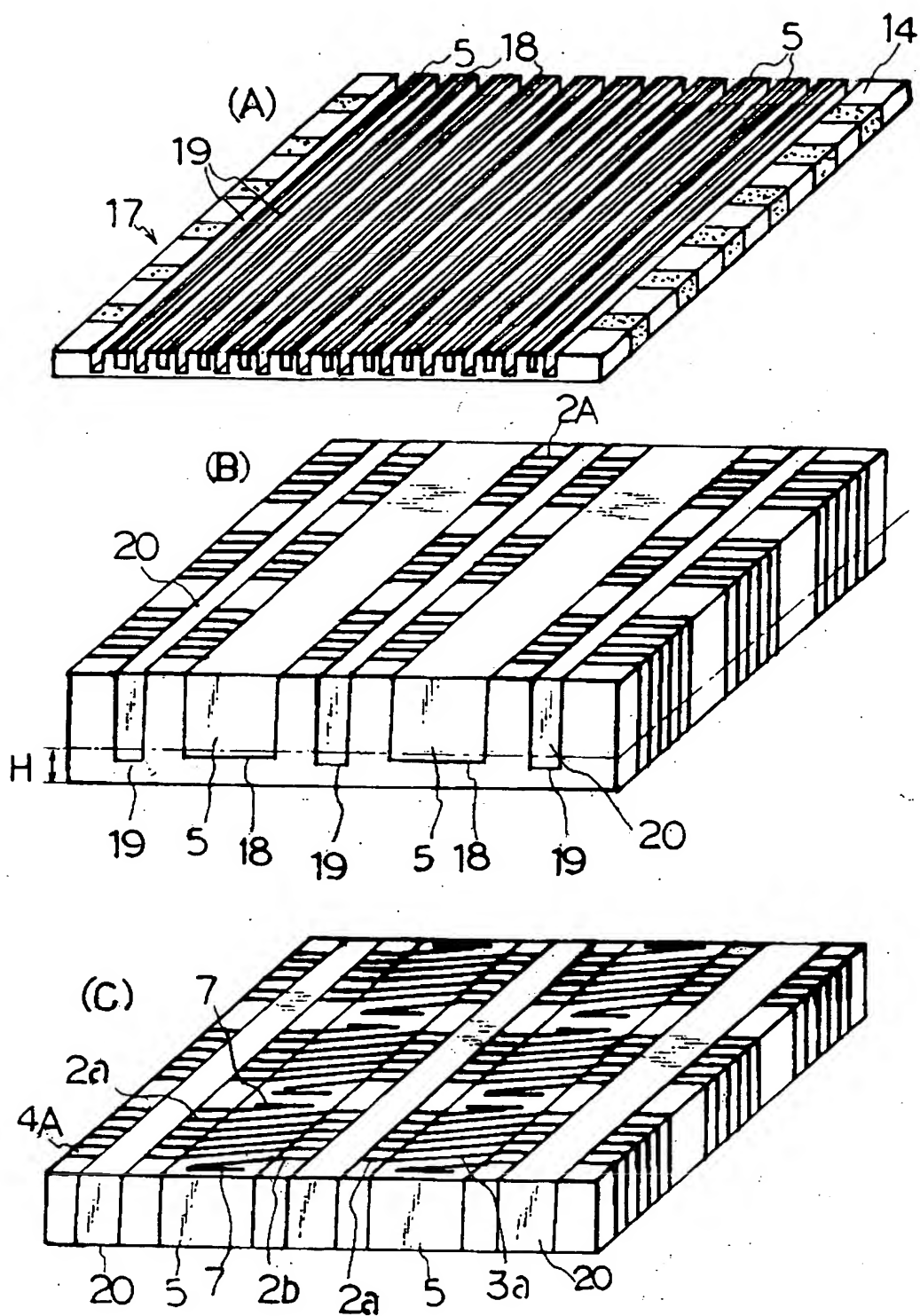
【図 3】



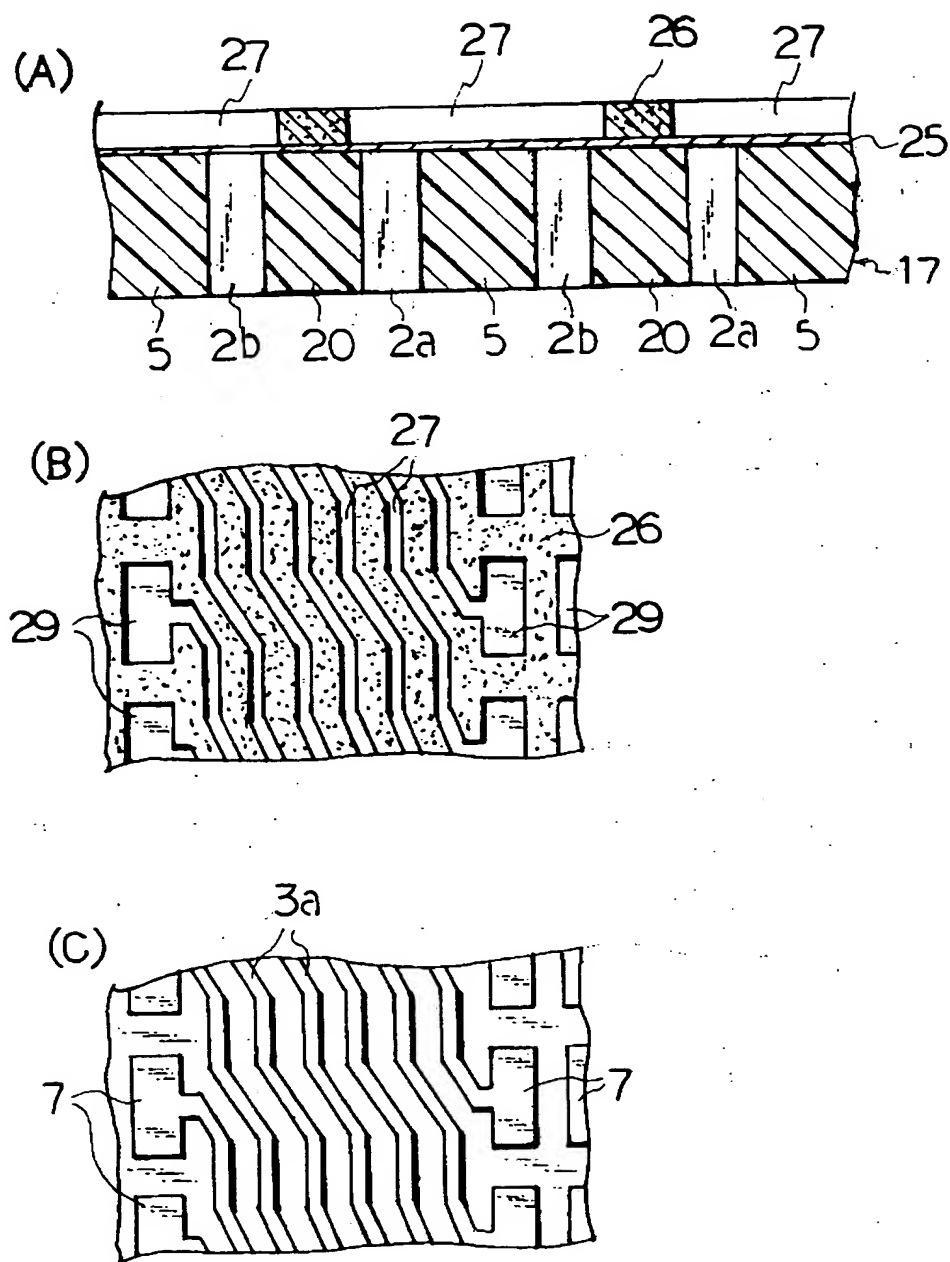
【図 4】



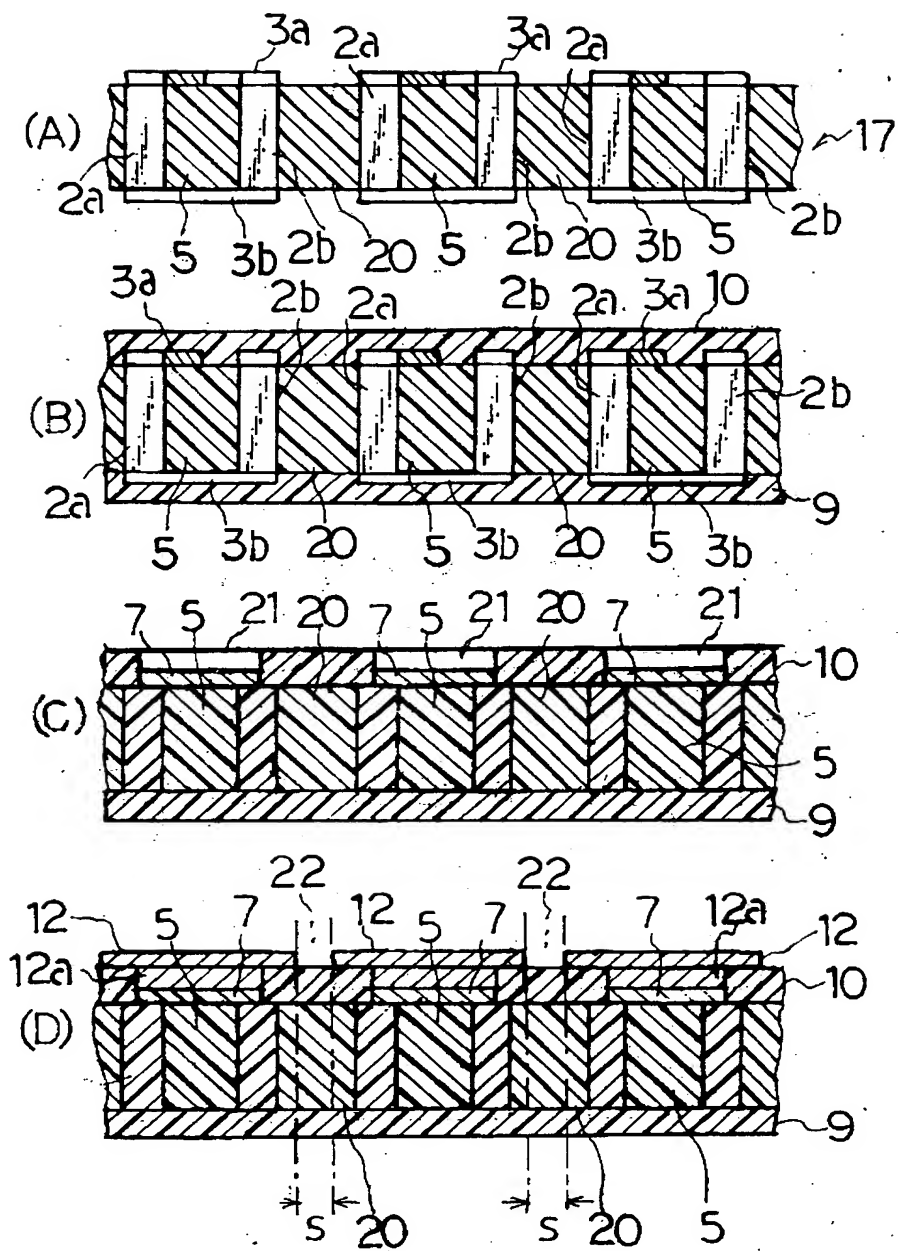
【図 5】



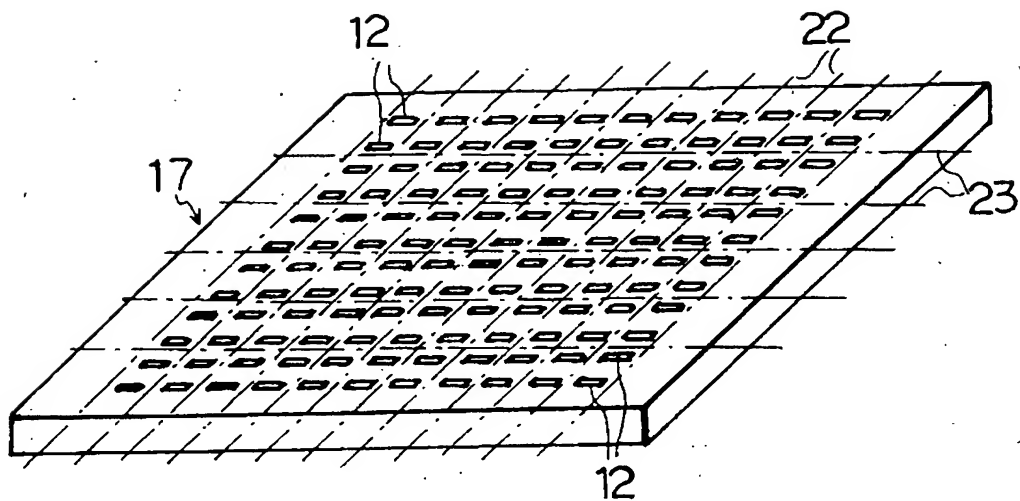
【図 6】



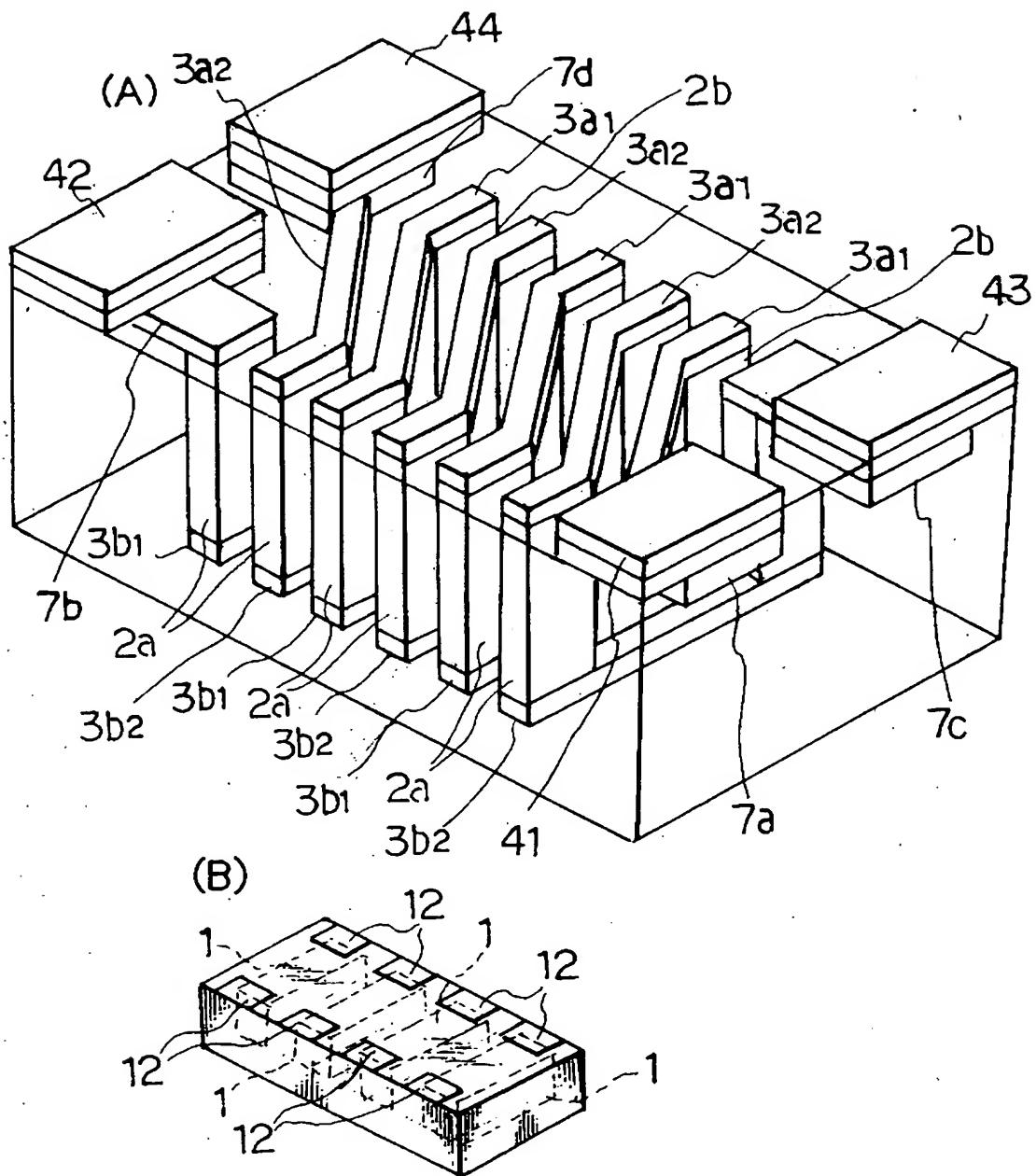
【図 7】



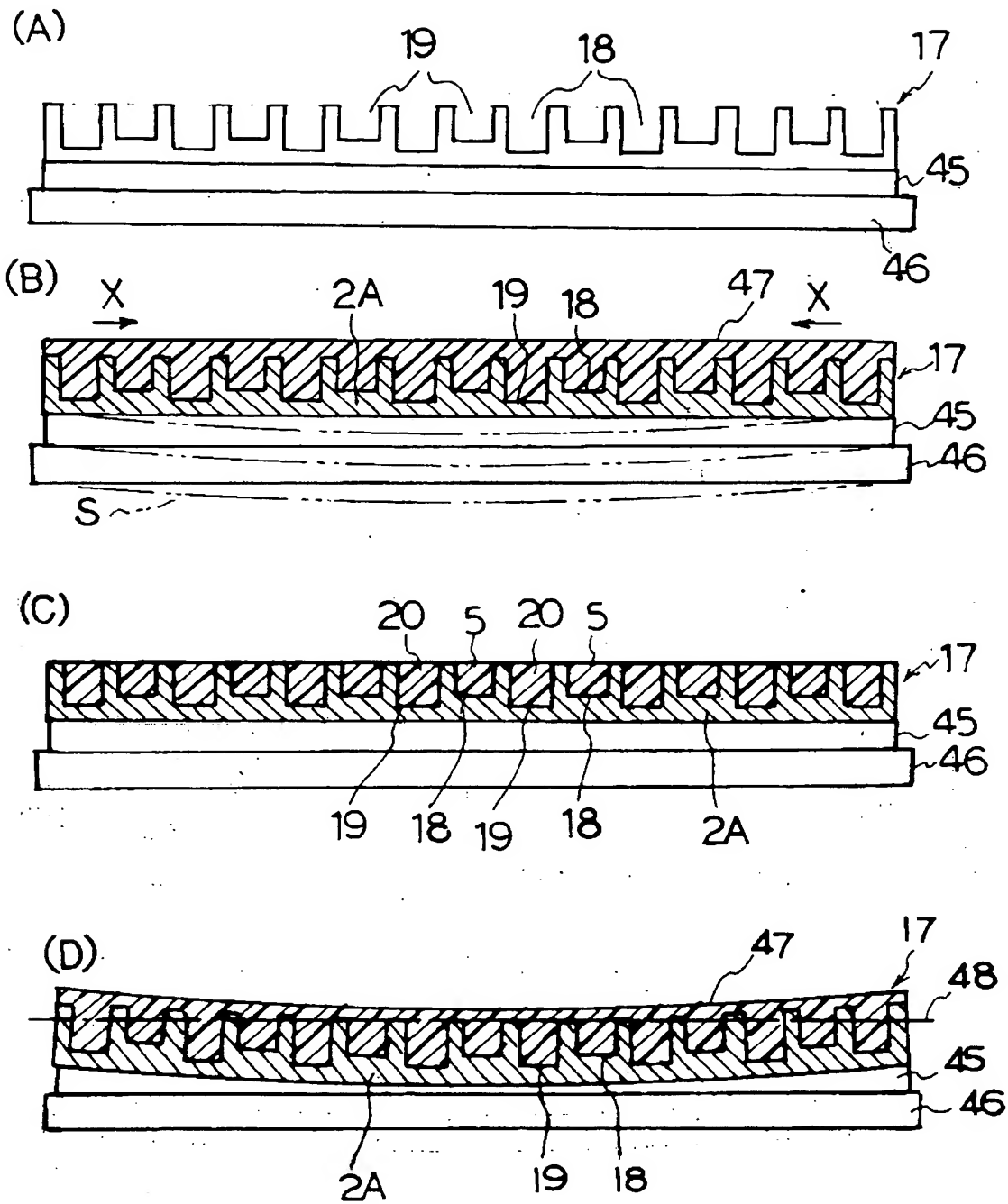
【図 8】



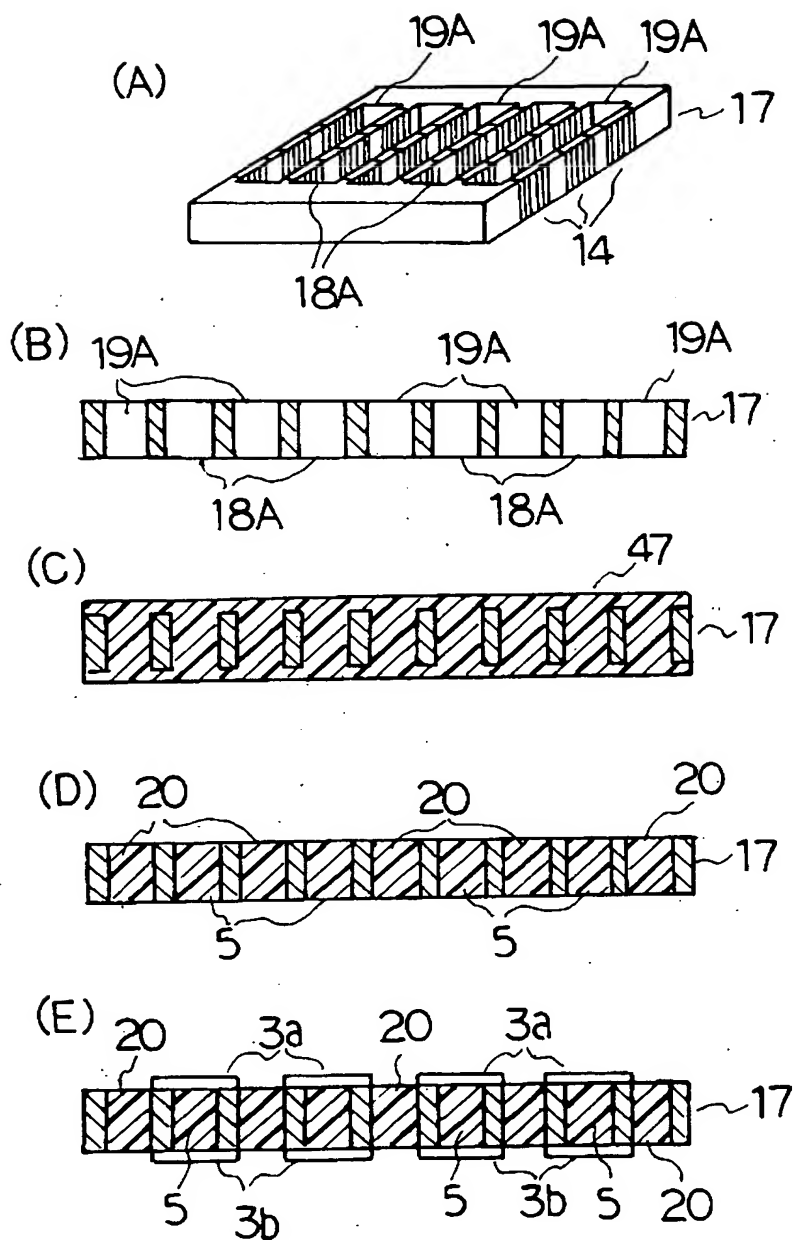
【図 9】



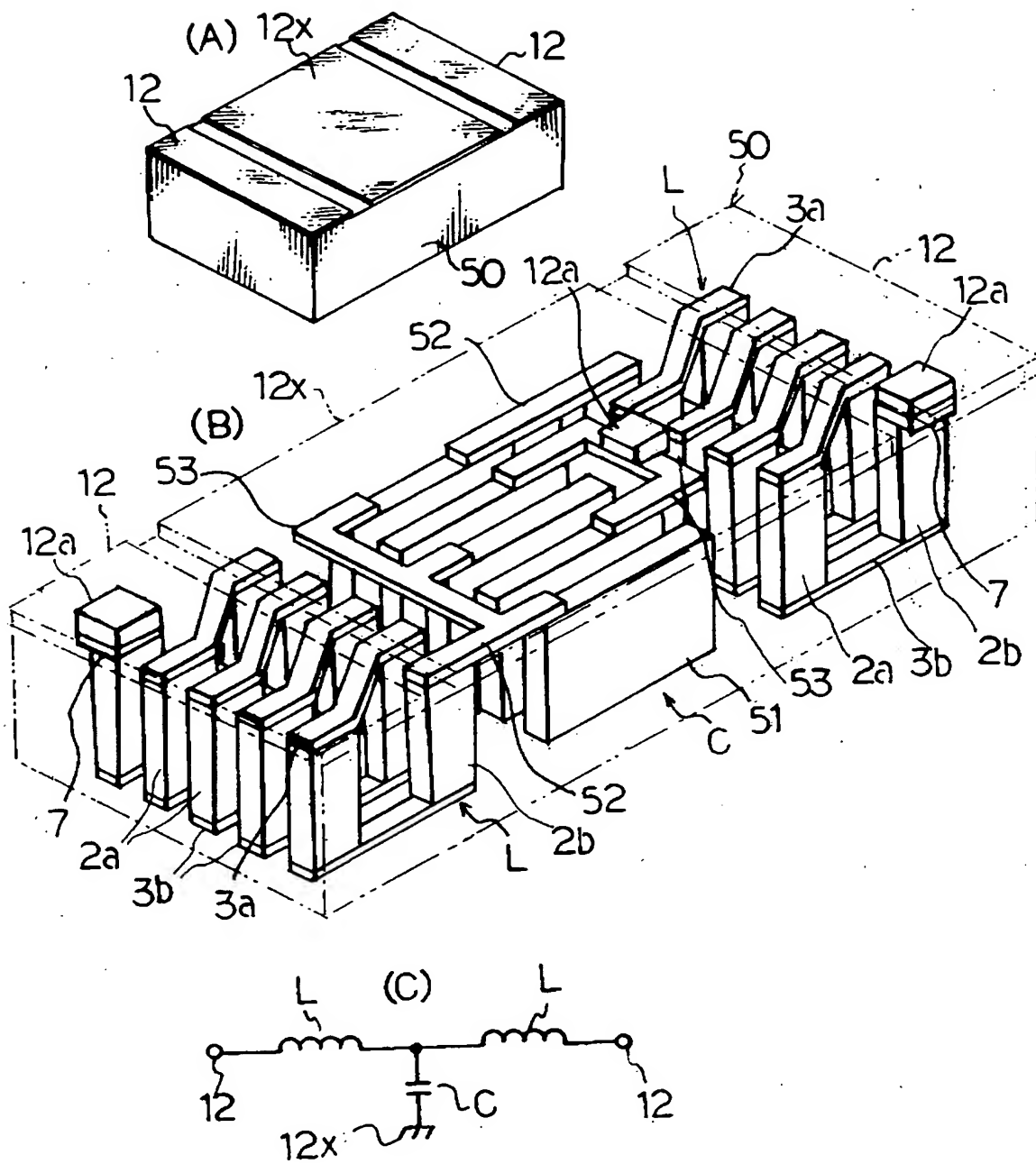
【図 10】



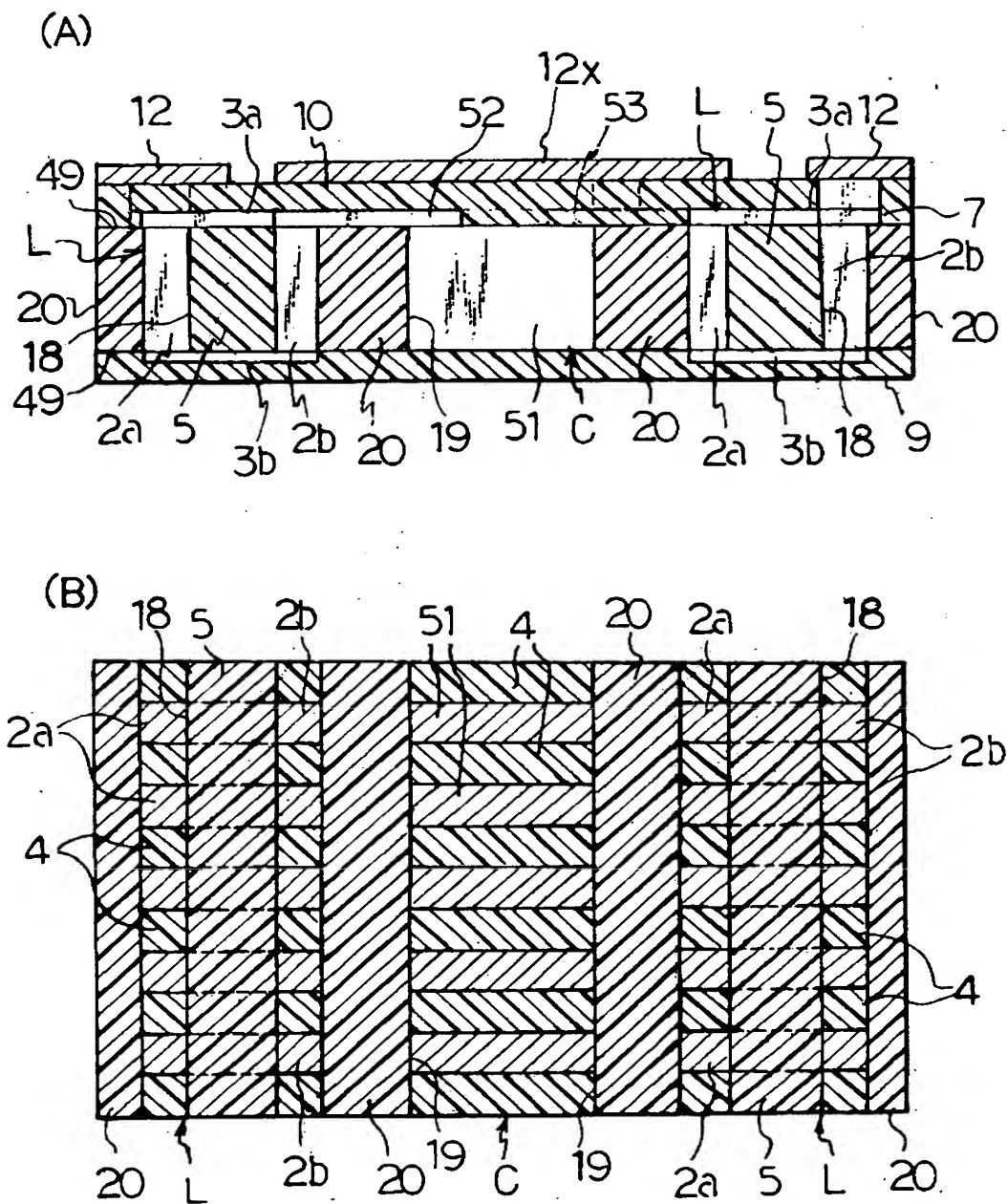
【図 11】



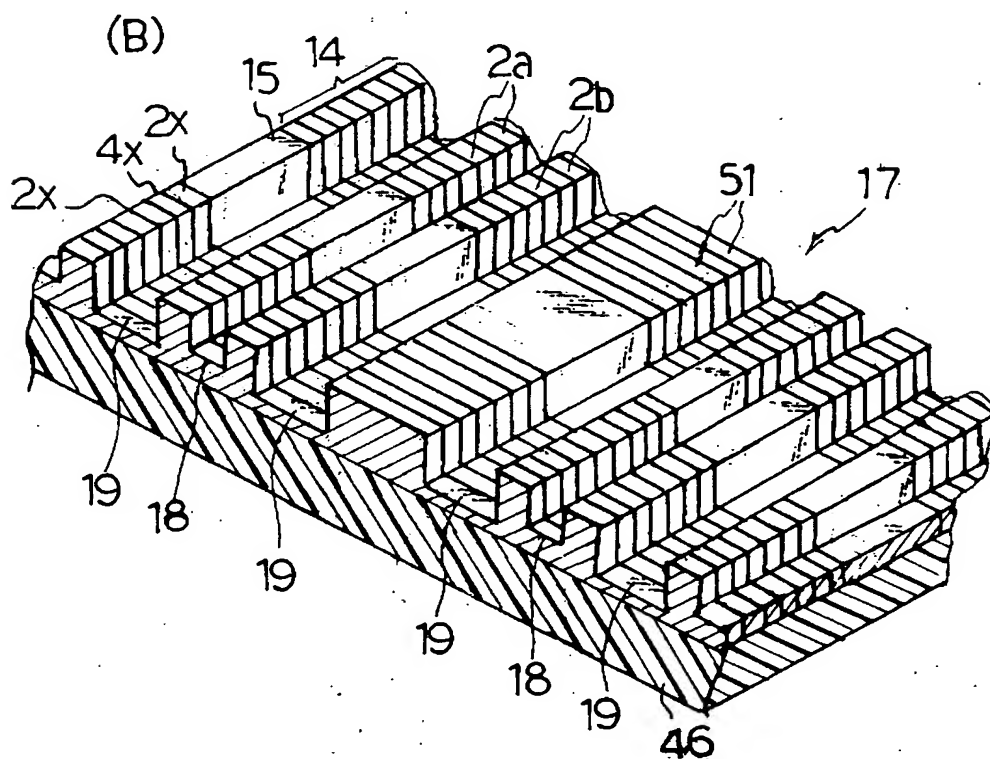
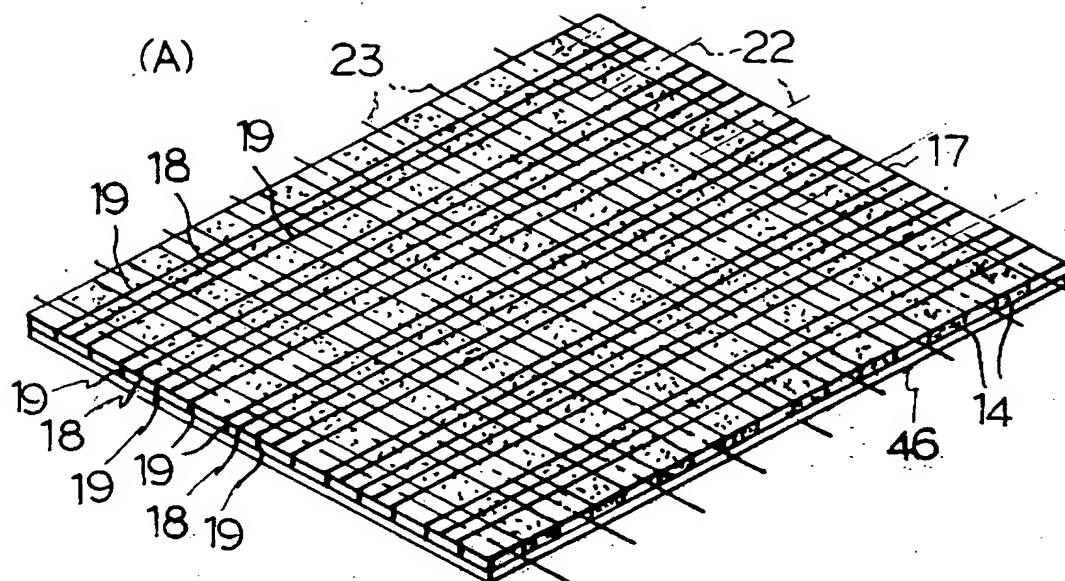
【図 12】



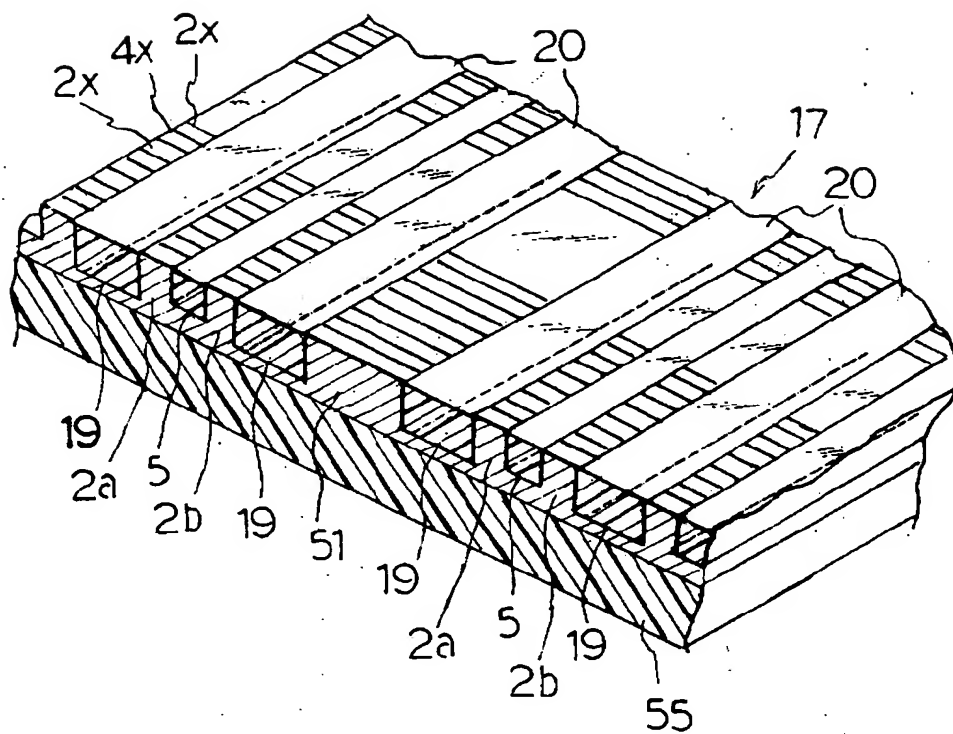
【図 13】



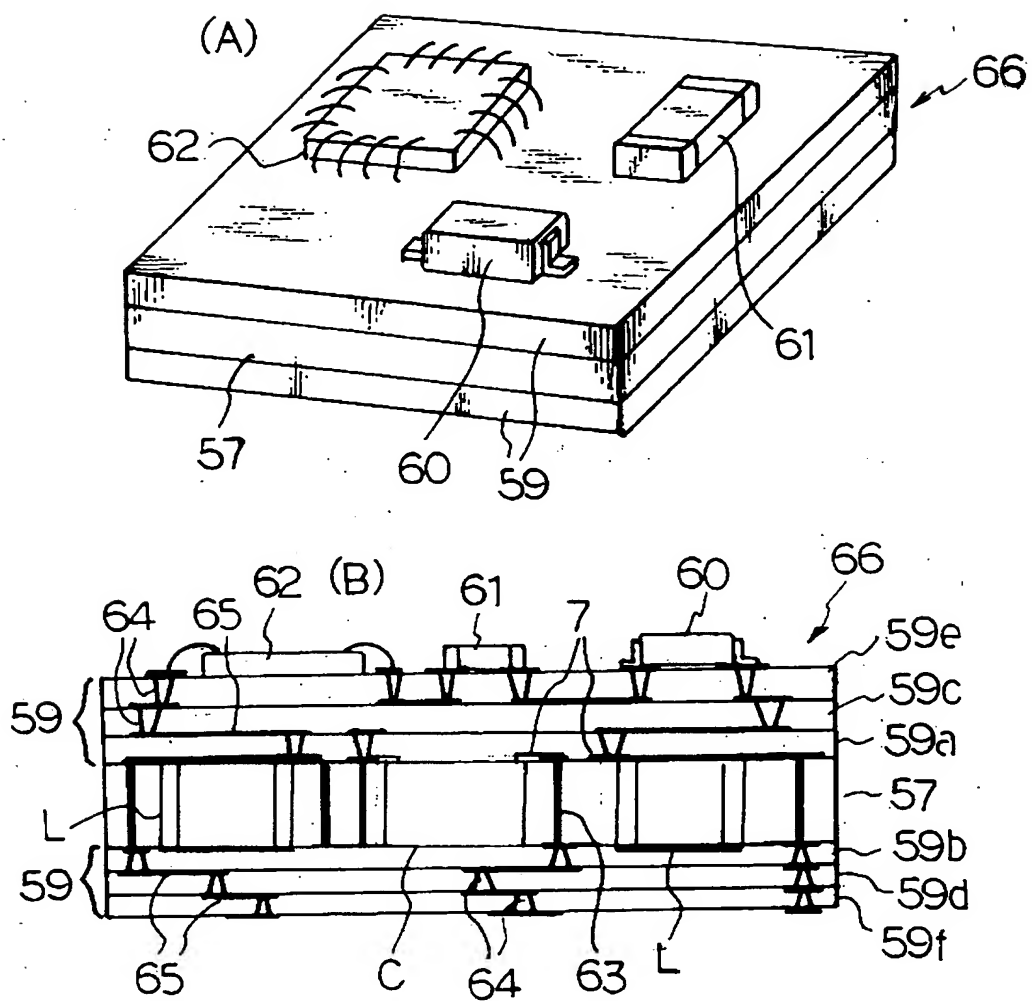
【図 14】



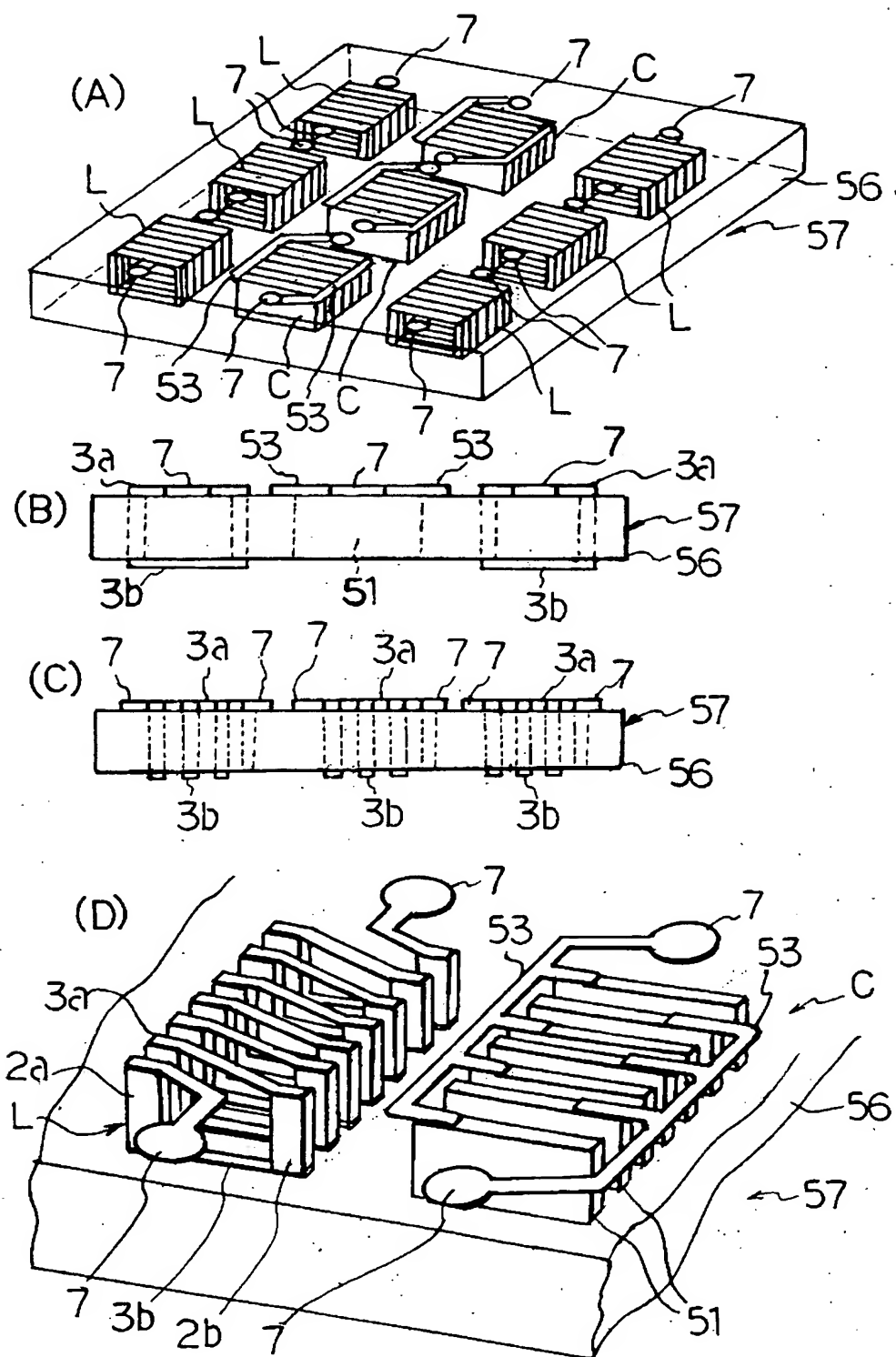
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 量産が容易で、導体パターンのずれが小さく、狭公差の特性値が得られるインダクタンス素子と積層電子部品と積層電子部品モジュールとこれらの製造方法を提供する。

【解決手段】 絶縁体と導体とが交互に積層された積層体を素材として作製され、少なくともインダクタンス素子を内蔵する。インダクタンス素子はヘリカルコイルの1ターン分は4辺のうちの2辺が積層体に溝加工を行うことにより二字形に形成される。コイルの1ターン分の他の2辺は溝18に充填された絶縁材料5上に形成された橋架導体3a、3bからなる。容量素子は、コイルを構成する二字形導体2a、2bと同層をなして同材料により加工して形成された電極と、二字形導体の端部の面に形成されて電極間を接続する接続導体とからなる。

【選択図】 図1



認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 2 5 1 4 2
受付番号	5 0 3 0 0 1 6 2 3 9 0
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 2 月 3 日

< 認定情報・付加情報 >

【提出日】 平成15年 1月31日

次頁無

特願 2 0 0 3 - 0 2 5 1 4 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 6 7]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日
[変更理由] 新規登録
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 ティーディーケイ株式会社
2. 変更年月日 2 0 0 3 年 6 月 2 7 日
[変更理由] 名称変更
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 T D K 株式会社